

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-261021

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl. ⁶	識別記号	P I	
H 0 1 L 27/10	4 6 1	H 0 1 L 27/10	4 6 1
	4 8 1		4 8 1
21/761		21/76	J
21/8234		27/08	1 0 2 A
27/088		27/10	4 3 4
審査請求 有 請求項の数39 O L (全 66 頁) 最終頁に続く			

(21) 出願番号 特願平10-65115

(22) 出願日 平成10年(1998) 3月16日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 谷口 泰弘

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 宿利 章二

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 黒田 謙一

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 筒井 大和

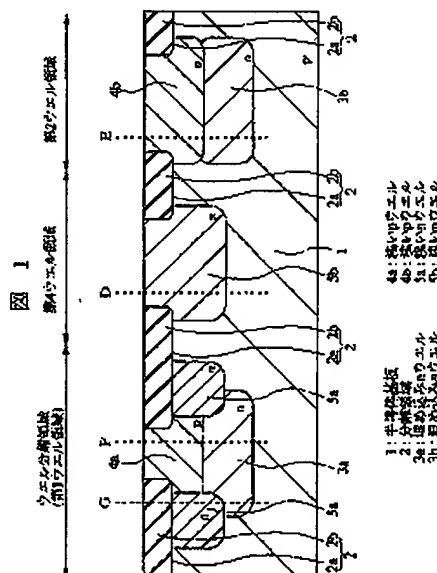
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【要約】

【課題】 ウェル分離構造を有する半導体集積回路装置において、製造工程の増加を招くことなく、ウェル分離領域におけるウェルおよび通常のウェルの不純物濃度を最適化する。

【解決手段】 ウェル分離領域および第2ウェル領域が露出するフォトリソistパターンを半導体基板上に形成した後、これをマスクとして半導体基板に不純物を導入して埋め込みnウェル3a、3bを形成し、同じフォトリソistパターンをマスクとして不純物を導入して埋め込みnウェル3a、3b上に自己整合的に浅いpウェル4a、4bを形成する。続いて、そのフォトリソistパターンを除去した後、半導体基板の主面上にウェル分離領域の外周領域および第3ウェル領域が露出するフォトリソistパターンを形成した後、これをマスクとして半導体基板に不純物を導入して浅いpウェル5a、5bを形成する。



(2)

特開平11-261021

1

2

【特許請求の範囲】

【請求項1】 半導体集積回路装置の製造方法であつて、(a)第1ウエル領域および第1ウエル領域から離間する位置に形成される第2ウエル領域が露出する第1マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第1ウエル領域において、前記半導体基板の深い位置に第1導電型の埋め込みウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)前記第1ウエル領域および第2ウエル領域において、前記第1導電型の埋め込みウエル上に第2導電型の浅いウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(d)前記第1ウエル領域の第1導電型の埋め込みウエルと第2導電型の浅いウエルとの外周を取り囲む第3ウエル領域および前記第1ウエル領域から離間する位置に形成される第4ウエル領域が露出する第2マスクを前記半導体基板の主面上にパターン形成する工程と、(e)前記第3ウエル領域において、前記第1ウエル領域の第2導電型の浅いウエルの外周を取り囲み、かつ、第1ウエル領域の第1導電型の埋め込みウエルと電気的に接続される第1導電型の浅いウエルを形成し、かつ、前記第4ウエル領域において第1導電型の浅いウエルを形成するために、前記第2マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを含む、

前記第1ウエル領域において、その第1ウエル領域における第2導電型の浅いウエルが前記第3ウエル領域に形成された第1導電型の浅いウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれ半導体基板から電気的に分離され、
前記第2ウエル領域において、前記第2導電型の浅いウエルが前記半導体基板と電気的に接続されることを特徴とする半導体集積回路装置の製造方法。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法において、前記第1ウエル領域における第1導電型の埋め込みウエルの不純物濃度のピーク領域が、前記第1ウエル領域および第2ウエル領域における第2導電型の浅いウエルの不純物濃度のピーク領域よりも深くなるように不純物を導入することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1記載の半導体集積回路装置の製造方法において、前記第3ウエル領域における第1導電型の浅いウエルの領域にMISトランジスタを形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項1記載の半導体集積回路装置の製造方法において、さらに、前記半導体基板の主面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記ゲート電極をマスクとして半導体基板に所定の不純物を導入する工程とを含む、前記第1ウエル領域および第2ウエル領域における第2導電型の浅いウエル、前記第3ウエル領域および第4ウエル領域における第1導電型の浅いウエルの各々の領域にMISトランジスタを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1記載の半導体集積回路装置の製造方法において、前記第3ウエル領域における第1導電型の浅いウエルの少なくとも一部の不純物濃度は、前記第1ウエル領域における第2導電型の浅いウエルの不純物濃度よりも高くなるように、前記工程(e)の不純物導入が行われることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項5記載の半導体集積回路装置の製造方法において、前記第3ウエル領域における第1導電型の浅いウエルにおいて前記埋め込みウエルの近傍の不純物濃度が、前記第1ウエル領域における第2導電型の浅いウエルにおいて前記埋め込みウエルの近傍で、かつ、前記第1導電型のウエル近傍の不純物濃度より高くなるように、前記工程(e)の不純物導入が行われることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項1記載の半導体集積回路装置の製造方法において、さらに、前記半導体基板の主面に素子分離領域を形成する工程を有し、

前記第1ウエル領域において、前記第2導電型の浅いウエルの活性領域は前記素子分離領域で規定され、前記第3ウエル領域における第1導電型の浅いウエルの少なくとも一部が前記素子分離領域下に延在するように構成されることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項7記載の半導体集積回路装置の製造方法において、前記素子分離領域下に第2導電型のチャネルストップ領域を延在させてなる工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項8記載の半導体集積回路装置の製造方法において、前記第3ウエル領域の素子分離領域下において、前記第1導電型の浅いウエルの不純物濃度は、前記チャネルストップ領域の不純物濃度よりも高いことを特徴とする半導体集積回路装置の製造方法。

【請求項10】 請求項7記載の半導体集積回路装置の製造方法において、

前記素子分離領域は、前記半導体基板に分離溝を形成した後、その分離溝内に分離膜を埋め込むことで形成することを特徴とする半導体集積回路装置の製造方法。

【請求項11】 請求項1記載の半導体集積回路装置の製造方法において、さらに、

前記第1ウエル領域から離間する位置に形成される第5ウエル領域が露出する第3マスクを半導体基板の主面上にパターン形成する工程と、

(3)

特開平11-261021

3

前記第5ウエル領域に第1導電型の浅いウエルを形成するために、前記第3マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、

前記第5ウエル領域に平面的に取り囲まれて形成される第6ウエル領域が露出する第4マスクを半導体基板の主面上にパターン形成する工程と、

前記第6ウエル領域に第2導電型の浅いウエルを形成するために、前記第4マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項12】 請求項1記載の半導体集積回路装置の製造方法において、さらに、

前記第5ウエル領域、第6ウエル領域および第5ウエル領域を取り囲む素子分離領域の一部が露出し、開口端が素子分離領域上に配置される第5マスクを半導体基板の主面上にパターン形成する工程と、

前記第5ウエル領域の第1導電型の浅いウエルおよび第6ウエル領域における第2導電型の浅いウエル下に、前記第5ウエル領域および第6ウエル領域の第1導電型の浅いウエルに電気的に接続され、かつ、前記第5ウエル領域を取り囲む素子分離領域下の一部にかかるように第1導電型の埋め込みウエルを形成するために、前記第5マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを含み、

前記第6ウエル領域において、その第6ウエル領域における第2導電型の浅いウエルが、前記第5ウエル領域の第1導電型の浅いウエルと第5ウエル領域および第6ウエル領域の前記第1導電型の埋め込みウエルとによって取り囲まれ半導体基板から電気的に分離されることを特徴とする半導体集積回路装置の製造方法。

【請求項13】 請求項12記載の半導体集積回路装置の製造方法において、前記第5マスクをエッチングマスクとして、前記第5マスクから露出する半導体基板の主面上のゲート絶縁膜を除去する工程と、

前記第5マスクを除去した後、前記第5マスクから露出する半導体基板の主面上に、他の領域のゲート絶縁膜とは厚さの異なるゲート絶縁膜を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項14】 請求項13記載の半導体集積回路装置の製造方法において、前記厚さの異なるゲート絶縁膜を有するMISトランジスタの駆動電圧は、他の領域のゲート絶縁膜を有するMISトランジスタの駆動電圧よりも低いことを特徴とする半導体集積回路装置の製造方法。

【請求項15】 請求項1記載の半導体集積回路装置の製造方法において、さらに、

前記第1ウエル領域から隣接する位置に形成される第5ウエル領域および素子分離領域の一部が露出する第3マスクを半導体基板の主面上にパターン形成する工程と、

前記第5ウエル領域に第1導電型の浅いウエルを形成す

4

るために、前記第3マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、

前記第5ウエル領域に取り囲まれて形成される第6ウエル領域および素子分離領域の一部が露出する第4マスクを半導体基板の主面上にパターン形成する工程と、

前記第6ウエル領域に第2導電型の浅いウエルを形成し、かつ、前記素子分離領域の下に第2導電型のチャネルストップ領域を形成するために、前記第4マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、

前記第5ウエル領域、第6ウエル領域および第5ウエル領域を取り囲む素子分離領域の一部が露出し、開口端が素子分離領域上に配置される第5マスクを半導体基板の主面上にパターン形成する工程と、

前記第5ウエル領域の第1導電型の浅いウエルおよび第6ウエル領域における第2導電型の浅いウエル下に、前記第5ウエル領域の第1導電型の浅いウエルに電気的に接続され、かつ、前記第5ウエル領域を取り囲む素子分離領域下の一部にかかるように第1導電型の埋め込みウエルを形成するために、前記第5マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを含み、

前記第6ウエル領域において、その第6ウエル領域における第2導電型の浅いウエルが、前記第5ウエル領域の第1導電型の浅いウエルと第5ウエル領域および第6ウエル領域の前記第1導電型の埋め込みウエルとによって取り囲まれ半導体基板から電気的に分離されることを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項1記載の半導体集積回路装置の製造方法において、さらに、

前記第1ウエル領域において、第1導電型の浅いウエルの形成領域が露出するような第6マスクを半導体基板の主面上に形成する工程と、

前記第1ウエル領域における第2導電型の浅いウエルの導電型が打ち消され前記第1ウエル領域に第1導電型の浅いウエルを形成するために、前記第6マスクを不純物導入マスクとして不純物を前記第1ウエル領域に導入する工程とを含み、

前記第1ウエル領域において、第1導電型の浅いウエルと第2導電型の浅いウエルとを形成し、その第2導電型の浅いウエルがその第1導電型の浅いウエル、前記第3ウエル領域に形成された第1導電型の浅いウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれ半導体基板から電気的に分離されることを特徴とする半導体集積回路装置の製造方法。

【請求項17】 請求項16記載の半導体集積回路装置の製造方法において、前記第1ウエル領域における第1導電型の浅いウエルと第2導電型の浅いウエルとの間に設けられた素子分離領域が、他の領域の素子分離領域よりも幅が狭いことを特徴とする半導体集積回路装置の製

5

造方法。

【請求項18】 請求項16記載の半導体集積回路装置の製造方法において、前記第1ウエル領域における第1導電型の浅いウエルおよび第2導電型の浅いウエルにMISトランジスタを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項1記載の半導体集積回路装置の製造方法において、前記半導体基板に高耐圧のMISトランジスタを形成する場合には、その高耐圧のMISトランジスタが形成される高耐圧用の浅いウエル以外の浅いウエルに、不純物濃度を高くするために不純物を追加導入することを特徴とする半導体集積回路装置の製造方法。

【請求項20】 請求項1記載の半導体集積回路装置の製造方法において、さらに、

第7ウエル領域が露出する第7マスクを半導体基板の主面上にパターン形成する工程と、

前記第7ウエル領域において、前記半導体基板の主面から深い位置まで延びる第1導電型の深いウエルを形成するために、前記第7マスクを不純物導入マスクとして不純物を前記第7ウエル領域に導入する工程と、

前記第7マスクをエッチングマスクとして、前記第7マスクから露出する半導体基板の主面上のゲート絶縁膜を除去する工程と、

前記第7マスクを除去した後、前記第7マスクから露出する半導体基板の主面上に、他の領域のゲート絶縁膜とは厚さの異なるゲート絶縁膜を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項21】 請求項20記載の半導体集積回路装置の製造方法において、さらに、

前記第7ウエル領域に囲まれる領域内における第8ウエル領域が露出する第8マスクを半導体基板の主面上にパターン形成する工程と、

前記第8ウエル領域に、前記深いウエルに外周が取り囲まれる第2導電型の浅いウエルを形成するために、前記第8マスクを不純物導入マスクとして不純物を、前記深いウエルの導電型が打ち消されるようにして半導体基板に導入する工程と、

前記第8ウエル領域において、その第2導電型の浅いウエルが第1導電型の深いウエルに取り囲まれ半導体基板から電気的に分離されることを特徴とする半導体集積回路装置の製造方法。

【請求項22】 請求項20記載の半導体集積回路装置の製造方法において、前記厚さの異なるゲート絶縁膜を有するMISトランジスタの駆動電圧は、他の領域のゲート絶縁膜を有するMISトランジスタの駆動電圧よりも低いことを特徴とする半導体集積回路装置の製造方法。

【請求項23】 請求項20記載の半導体集積回路装置の製造方法において、前記第7マスクの端部は素子分離

(4)

特開平11-261021

6

領域上に配置され、前記第7ウエル領域における深いウエルは、その端部が素子分離領域下で終端するように形成することを特徴とする半導体集積回路装置の製造方法。

【請求項24】 請求項20記載の半導体集積回路装置の製造方法において、前記素子分離領域下に第2導電型のチャネルストップ領域を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項25】 半導体集積回路装置の製造方法であって、(a)第1ウエル領域および第1ウエル領域から離間する位置に形成される第2ウエル領域が露出する第1マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第1ウエル領域および第2ウエル領域において、前記半導体基板内に第1導電型の埋め込みウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)前記第1ウエル領域および第2ウエル領域において、前記第1導電型の埋め込みウエル上に第2導電型のウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(d)前記第1ウエル領域の第1導電型の埋め込みウエルと第2導電型のウエルとの外周を取り囲む第3ウエル領域が露出する第2マスクを前記半導体基板の主面上にパターン形成する工程と、(e)前記第3ウエル領域において、前記第1ウエル領域の第2導電型のウエルの外周を取り囲み、かつ、第1ウエル領域の第1導電型の埋め込みウエルと電気的に接続される第1導電型のウエルを形成するために、前記第2マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを含み、

前記第1ウエル領域において、第1ウエル領域における第2導電型のウエルが前記第3ウエル領域に形成された第1導電型のウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれて半導体基板から電気的に分離され、

前記第2ウエル領域においては、前記第2導電型の浅いウエルが前記半導体基板と電気的に接続されることを特徴とする半導体集積回路装置の製造方法。

【請求項26】 請求項25記載の半導体集積回路装置の製造方法において、前記第1ウエル領域における第1導電型の埋め込みウエルの不純物濃度のピーク領域が、前記第1ウエル領域および第2ウエル領域における第2導電型のウエルの不純物濃度のピーク領域よりも深くなるように不純物を導入することを特徴とする半導体集積回路装置の製造方法。

【請求項27】 請求項25記載の半導体集積回路装置の製造方法において、前記第3ウエル領域における第1導電型のウエルの領域にMISトランジスタを形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項28】 請求項25記載の半導体集積回路装置

50

(5)

特開平11-261021

7

の製造方法において、さらに、
前記半導体基板の主面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、
前記ゲート電極をマスクとして半導体基板に所定の不純物を導入する工程とを含み、

前記第1ウエル領域および第2ウエル領域における第2導電型のウエル、前記第3ウエル領域における第1導電型のウエルの各々の領域にMISトランジスタが形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項29】 請求項25記載の半導体集積回路装置の製造方法において、前記第3ウエル領域における第1導電型のウエルの少なくとも一部の不純物濃度は、前記第1ウエル領域における第2導電型のウエルの不純物濃度よりも高くなるように、前記工程(e)の不純物導入が行われることを特徴とする半導体集積回路装置の製造方法。

【請求項30】 請求項25記載の半導体集積回路装置の製造方法において、前記第3ウエル領域における第1導電型のウエルにおいて前記埋め込みウエルの近傍の不純物濃度が、前記第2導電型のウエルにおいて前記埋め込みウエルの近傍で、かつ、前記第1の導電型のウエル近傍の不純物濃度よりも高くなるように、前記工程(e)の不純物導入が行われることを特徴とする半導体集積回路装置の製造方法。

【請求項31】 請求項25記載の半導体集積回路装置の製造方法において、さらに、
前記第1ウエル領域において、第1導電型のウエルの形成領域が露出するような第6マスクを半導体基板の主面上に形成する工程と、

前記第1ウエル領域における第2導電型のウエルの導電型が打ち消され前記第1ウエル領域に第1導電型のウエルを形成するために、前記第6マスクを不純物導入マスクとして不純物を前記第1ウエル領域に導入する工程とを含み、

前記第1ウエル領域において、第1導電型のウエルと第2導電型のウエルとを形成し、第2導電型のウエルが第1導電型の浅いウエル、前記第3ウエル領域に形成された第1導電型のウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれ半導体基板から電気的に分離されることを特徴とする半導体集積回路装置の製造方法。

【請求項32】 請求項31記載の半導体集積回路装置の製造方法において、前記第1ウエル領域における第1導電型のウエルと第2導電型のウエルとの間に設けられた素子分離領域が、他の領域の素子分離領域よりも幅が狭いことを特徴とする半導体集積回路装置の製造方法。

【請求項33】 請求項31記載の半導体集積回路装置の製造方法において、前記第1ウエル領域における第1導電型のウエルおよび第2導電型のウエルにMISトランジスタを形成することを特徴とする半導体集積回路装置の製造方法。

8

ンジスタを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項34】 半導体集積回路装置の製造方法であって、(a)第5ウエル領域が露出する第3マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第5ウエル領域に第1導電型の浅いウエルを形成するために、前記第3マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)前記第5ウエル領域に平面的に取り囲まれて形成される第6ウエル領域が露出する第4マスクを半導体基板の主面上にパターン形成する工程と、(d)前記第6ウエル領域に第2導電型の浅いウエルを形成するために、前記第4マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(e)前記第5ウエル領域、第6ウエル領域および第5ウエル領域を取り囲む素子分離領域の一部が露出し、開口端が素子分離領域上に配置される第5マスクを半導体基板の主面上にパターン形成する工程と、(f)前記第5ウエル領域の第1導電型の浅いウエルおよび第6ウエル領域における第2導電型の浅いウエル下に、前記第5ウエル領域の第1導電型の浅いウエルと電気的に接続され、かつ、前記第5ウエル領域を取り囲む素子分離領域下の一部にかかるように第1導電型の埋め込みウエルを形成するために、前記第5マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、

(g)前記第5マスクをエッチングマスクとして、前記第5マスクから露出する半導体基板の主面上のゲート絶縁膜を除去する工程と、(h)前記第5マスクを除去した後、前記第5マスクから露出する半導体基板の主面上に、他の領域のゲート絶縁膜とは厚さの異なるゲート絶縁膜を形成する工程とを有し、

前記第6ウエル領域において、その第6ウエル領域における第2導電型の浅いウエルが、前記第5ウエル領域の第1導電型の浅いウエルと第5ウエル領域および第6ウエル領域下の前記第1導電型の埋め込みウエルとによって取り囲まれて半導体基板から電気的に分離されることを特徴とする半導体集積回路装置の製造方法。

【請求項35】 請求項34記載の半導体集積回路装置の製造方法において、前記厚さの異なるゲート絶縁膜を有するMISトランジスタの駆動電圧は、他の領域のゲート絶縁膜を有するMISトランジスタの駆動電圧よりも低いことを特徴とする半導体集積回路装置の製造方法。

【請求項36】 請求項34記載の半導体集積回路装置の製造方法において、前記第5ウエル領域および第6ウエル領域にMISトランジスタを形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項37】 半導体集積回路装置の製造方法であって、(a)第5ウエル領域が露出する第3マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第5ウエル領域に第1導電型の浅いウエルを形成するた

(5)

特開平11-261021

7

8

の製造方法において、さらに、
前記半導体基板の主面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、
前記ゲート電極をマスクとして半導体基板に所定の不純物を導入する工程とを含み、

前記第1ウエル領域および第2ウエル領域における第2導電型のウエル、前記第3ウエル領域における第1導電型のウエルの各々の領域にMISトランジスタが形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項29】 請求項25記載の半導体集積回路装置の製造方法において、前記第3ウエル領域における第1導電型のウエルの少なくとも一部の不純物濃度は、前記第1ウエル領域における第2導電型のウエルの不純物濃度よりも高くなるように、前記工程(e)の不純物導入が行われることを特徴とする半導体集積回路装置の製造方法。

【請求項30】 請求項25記載の半導体集積回路装置の製造方法において、前記第3ウエル領域における第1導電型のウエルにおいて前記埋め込みウエルの近傍の不純物濃度が、前記第2導電型のウエルにおいて前記埋め込みウエルの近傍で、かつ、前記第1の導電型のウエル近傍の不純物濃度よりも高くなるように、前記工程

(e)の不純物導入が行われることを特徴とする半導体集積回路装置の製造方法。

【請求項31】 請求項25記載の半導体集積回路装置の製造方法において、さらに、

前記第1ウエル領域において、第1導電型のウエルの形成領域が露出するような第6マスクを半導体基板の主面上に形成する工程と、

前記第1ウエル領域における第2導電型のウエルの導電型が打ち消され前記第1ウエル領域に第1導電型のウエルを形成するために、前記第6マスクを不純物導入マスクとして不純物を前記第1ウエル領域に導入する工程とを含み、

前記第1ウエル領域において、第1導電型のウエルと第2導電型のウエルとを形成し、第2導電型のウエルが第1導電型の浅いウエル、前記第3ウエル領域に形成された第1導電型のウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれ半導体基板から電気的に分離されることを特徴とする半導体集積回路装置の製造方法。

【請求項32】 請求項31記載の半導体集積回路装置の製造方法において、前記第1ウエル領域における第1導電型のウエルと第2導電型のウエルとの間に設けられた素子分離領域が、他の領域の素子分離領域よりも幅が狭いことを特徴とする半導体集積回路装置の製造方法。

【請求項33】 請求項31記載の半導体集積回路装置の製造方法において、前記第1ウエル領域における第1導電型のウエルおよび第2導電型のウエルにMISトラ

ンジスタを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項34】 半導体集積回路装置の製造方法であって、(a)第5ウエル領域が露出する第3マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第5ウエル領域に第1導電型の浅いウエルを形成するために、前記第3マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)前記第5ウエル領域に平面的に取り囲まれて形成される第6ウエル領域が露出する第4マスクを半導体基板の主面上にパターン形成する工程と、(d)前記第6ウエル領域に第2導電型の浅いウエルを形成するために、前記第4マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(e)前記第5ウエル領域、第6ウエル領域および第5ウエル領域を取り囲む素子分離領域の一部が露出し、開口端が素子分離領域上に配置される第5マスクを半導体基板の主面上にパターン形成する工程と、(f)前記第5ウエル領域の第1導電型の浅いウエルおよび第6ウエル領域における第2導電型の浅いウエル下に、前記第5ウエル領域の第1導電型の浅いウエルと電気的に接続され、かつ、前記第5ウエル領域を取り囲む素子分離領域下の一部にかかるように第1導電型の埋め込みウエルを形成するために、前記第5マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、

(g)前記第5マスクをエッチングマスクとして、前記第5マスクから露出する半導体基板の主面上のゲート絶縁膜を除去する工程と、(h)前記第5マスクを除去した後、前記第5マスクから露出する半導体基板の主面上に、他の領域のゲート絶縁膜とは厚さの異なるゲート絶縁膜を形成する工程とを有し、

前記第6ウエル領域において、その第6ウエル領域における第2導電型の浅いウエルが、前記第5ウエル領域の第1導電型の浅いウエルと第5ウエル領域および第6ウエル領域下の前記第1導電型の埋め込みウエルとによって取り囲まれて半導体基板から電気的に分離されることを特徴とする半導体集積回路装置の製造方法。

【請求項35】 請求項34記載の半導体集積回路装置の製造方法において、前記厚さの異なるゲート絶縁膜を有するMISトランジスタの駆動電圧は、他の領域のゲート絶縁膜を有するMISトランジスタの駆動電圧よりも低いことを特徴とする半導体集積回路装置の製造方法。

【請求項36】 請求項34記載の半導体集積回路装置の製造方法において、前記第5ウエル領域および第6ウエル領域にMISトランジスタを形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項37】 半導体集積回路装置の製造方法であって、(a)第5ウエル領域が露出する第3マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第5ウエル領域に第1導電型の浅いウエルを形成するた

(6)

特開平11-261021

9

10

めに、前記第3マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)前記第5ウエル領域に挟まれる位置に形成される第6ウエル領域および素子分離領域の一部の領域が露出する第4マスクを半導体基板の主面上にパターン形成する工程と、(d)前記第6ウエル領域に第2導電型の浅いウエルを形成し、かつ、前記素子分離領域下に第2導電型のチャンネルストップ領域を形成するために、前記第4マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、

(e)前記第5ウエル領域、第6ウエル領域および第5ウエル領域を取り囲む素子分離領域の一部が露出し、開口端が素子分離領域上に配置される第5マスクを半導体基板の主面上にパターン形成する工程と、(f)前記第5ウエル領域の第1導電型の浅いウエルおよび第6ウエル領域における第2導電型の浅いウエル下に、前記第5ウエル領域の第1導電型の浅いウエルと電気的に接続され、かつ、前記第5ウエル領域を取り囲む素子分離領域下の一部にかかるように第1導電型の埋め込みウエルを形成するために、前記第5マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(g)前記第5マスクをエッチングマスクとして、前記第5マスクから露出する半導体基板の主面上のゲート絶縁膜を除去する工程と、(h)前記第5マスクを除去した後、前記第5マスクから露出する半導体基板の主面上に、他の領域のゲート絶縁膜とは厚さの異なるゲート絶縁膜を形成する工程とを有し、

前記第6ウエル領域において、その第6ウエル領域における第2導電型の浅いウエルが、前記第5ウエル領域の第1導電型の浅いウエルと第5ウエル領域および第6ウエル領域下の前記第1導電型の埋め込みウエルとによって取り囲まれ半導体基板から電気的に分離されることを特徴とする半導体集積回路装置の製造方法。

【請求項38】 半導体集積回路装置の製造方法であって、(a)第1半導体領域および第1半導体領域から離間する位置に形成される第2半導体領域が露出する第1マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第1半導体領域において、前記半導体基板の深い位置に第1導電型の埋め込み半導体領域を形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)前記第1半導体領域および第2半導体領域において、前記第1導電型の埋め込み半導体領域の上に第2導電型の浅い半導体領域を形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(d)前記第1半導体領域の第1導電型の埋め込み半導体領域と第2導電型の浅い半導体領域との外周を取り囲む第3半導体領域および前記第1半導体領域から離間する位置に形成される第4半導体領域が露出する第2マスクを前記半導体基板の主面上にパターン形成する工程と、(e)前記第3半導体領域において、前記第1半導

体領域の第2導電型の浅い半導体領域の外周を取り囲み、かつ、第1半導体領域の第1導電型の埋め込み半導体領域と電気的に接続される第1導電型の浅い半導体領域を形成し、かつ、前記第4半導体領域において第1導電型の浅い半導体領域を形成するために、前記第2マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを含み、

前記第1半導体領域においては、その第1半導体領域における第2導電型の浅い半導体領域が前記第3半導体領域に形成された第1導電型の浅い半導体領域および第1半導体領域における第1導電型の埋め込み半導体領域に取り囲まれ半導体基板から電気的に分離され、前記第2半導体領域において、前記第2導電型の浅い半導体領域が前記半導体基板と電気的に接続されることを特徴とする半導体集積回路装置の製造方法。

【請求項39】 半導体集積回路装置の製造方法であって、(a)第7ウエル領域が露出する第7マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第7ウエル領域において、前記半導体基板の主面から深い位置まで延びる第1導電型の深いウエルを形成するために、前記第7マスクを不純物導入マスクとして不純物を前記第7ウエル領域に導入する工程と、(c)前記第7マスクをエッチングマスクとして、前記第7マスクから露出する半導体基板の主面上のゲート絶縁膜を除去する工程と、(d)前記第7マスクを除去した後、前記第7マスクから露出する半導体基板の主面上に、他の領域のゲート絶縁膜とは厚さの異なるゲート絶縁膜を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、半導体基板に形成されたウエル（半導体領域）を半導体基板とは電気的に分離するために、そのウエルを取り囲むようにその底部および側部側に他のウエルを設けるウエル分離技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】ウエル分離技術は、半導体基板に形成された第1ウエルをその周囲に形成された第2ウエルで電気的に分離することで、半導体基板に印加される電圧とは異なる所望の電圧を第1ウエルに印加することが可能な技術である。

【0003】この技術は、例えば第1ウエルにメモリセルを形成し、このメモリセルのMIS・FET(Metal Insulator Semiconductor Field Effect Transistor)にバックバイアス電圧を印加するDRAM(Dynamic Random Access Memory)や第1ウエルに負電圧を印加するフラッシュメモリ(EEPROM:Electrically Erasable Programmable ROM)等のような種々の半導体集積回路

(7)

特開平11-261021

11

12

装置に適用されている。

【0004】ところで、本発明者が検討したウエル分離構造を有する半導体集積回路装置は、例えば次の通りである。

【0005】すなわち、半導体基板においてウエル分離領域では、第1導電型の深いウエルと、その深いウエルの領域内に形成された第2導電型の浅いウエルとが設けられている。この深いウエルは、半導体基板の主面から半導体基板の深い位置まで不純物が拡散されて形成されており、浅いウエルの外周を取り囲み浅いウエルと半導体基板とを電気的に分離している。これにより、浅いウエルには半導体基板に印加する電圧とは異なる電圧を印加することが可能となっている。

【0006】また、この半導体基板において他の領域には、通常の第1導電型のウエルおよび通常の第2導電型のウエルがそれぞれ形成されている。この第1導電型のウエルおよび第2導電型のウエルは、半導体基板の主面から半導体基板の所定の位置まで不純物が拡散されて形成されている。

【0007】特開平8-97378号公報には、上述のようなウエルの構造を2枚のマスクで形成する技術が開示されている。この技術では、第1導電型の深いウエルおよび通常の第1導電型のウエルを形成するための不純物導入工程に際して同じマスクを用い、また、第2導電型の浅いウエルおよび通常の第2導電型のウエルを形成するための不純物導入工程に際して同じマスクを用いることで、2枚のマスクで上述のようなウエル構造を実現している。

【0008】

【発明が解決しようとする課題】ところで、上記した2つのウエルを1つのマスクで形成する技術においては、以下の課題があることを本発明者は見出した。

【0009】すなわち、第1の問題は、第2導電型の浅いウエルを第2導電型の不純物と第1導電型の不純物との補償で形成するため、実効の第2導電型の不純物濃度がウエル分離を行わない通常の第2導電型のウエルにおける第2導電型の不純物濃度の約2倍に増加するため、半導体基板の主面に形成されるトランジスタの特性、特にしきい電圧が大きく異なってしまう。このしきい電圧を調整するためには新たなマスクが必要となってしまう。

【0010】第2の問題は、第2導電型の浅いウエルのトータルの不純物濃度がウエル分離を行わない第2導電型の通常のウエルの不純物濃度に比較し、ほぼ3倍に増加する点である。このため半導体基板の主面領域のキャリアの移動度が低下するので、その主面に形成されるトランジスタの特性、特にドレイン電流が低下する。

【0011】上記した2つの問題点は、トランジスタの微細化とともにウエル濃度が益々増加する傾向にあって、トランジスタの高性能化を大きく阻害する要因とし

て顕著な問題となる。

【0012】本発明の目的は、半導体集積回路装置において、製造工程の増加を招くことなく、ウエル分離領域におけるウエルおよび通常のウエルの不純物濃度を最適化することのできる技術を提供することにある。

【0013】本発明の他の目的は、半導体集積回路装置において、製造工程の増加を招くことなく、ウエル分離領域におけるウエルおよび通常のウエルに形成される素子特性を向上させることのできる技術を提供することにある。

【0014】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】本発明は、半導体集積回路装置の製造方法であって、(a)第1ウエル領域および第1ウエル領域から隣接する位置に形成される第2ウエル領域が露出する第1マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第1ウエル領域において、前記半導体基板の深い位置に第1導電型の埋め込みウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)前記第1ウエル領域および第2ウエル領域において、前記第1導電型の埋め込みウエル上に第2導電型の浅いウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(d)前記第1ウエル領域の第1導電型の埋め込みウエルと第2導電型の浅いウエルとの外周を取り囲む第3ウエル領域および前記第1ウエル領域から隣接する位置に形成される第4ウエル領域が露出する第2マスクを前記半導体基板の主面上にパターン形成する工程と、(e)前記第3ウエル領域において、前記第1ウエル領域の第2導電型の浅いウエルの外周を取り囲み、かつ、第1ウエル領域の第1導電型の埋め込みウエルと電気的に接続される第1導電型の浅いウエルを形成し、かつ、前記第4ウエル領域において第1導電型の浅いウエルを形成するために、前記第2マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを含み、前記第1ウエル領域において、その第1ウエル領域における第2導電型の浅いウエルが前記第3ウエル領域に形成された第1導電型の浅いウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれ半導体基板から電気的に分離され、前記第2ウエル領域において、前記第2導電型の浅いウエルが前記半導体基板と電気的に接続されるものである。

【0017】また、本発明は、前記第3ウエル領域における第1導電型の浅いウエルの少なくとも一部の不純物

13

濃度は、前記第1ウエル領域における第2導電型の浅いウエルの不純物濃度よりも高くなるように、前記工程(e)の不純物導入が行われるものである。

【0018】また、本発明は、前記第1ウエル領域から離間する位置に形成される第5ウエル領域が露出する第3マスクを半導体基板の主面上にパターン形成する工程と、前記第5ウエル領域に第1導電型の浅いウエルを形成するために、前記第3マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、前記第5ウエル領域に平面的に取り囲まれて形成される第6ウエル領域が露出する第4マスクを半導体基板の主面上にパターン形成する工程と、前記第6ウエル領域に第2導電型の浅いウエルを形成するために、前記第4マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、前記第5ウエル領域、第6ウエル領域および第5ウエル領域を取り囲む素子分離領域の一部が露出し、開口端が素子分離領域上に配置される第5マスクを半導体基板の主面上にパターン形成する工程と、前記第5ウエル領域の第1導電型の浅いウエルおよび第6ウエル領域における第2導電型の浅いウエル下に、前記第5ウエル領域および第6ウエル領域の第1導電型の浅いウエルに電気的に接続され、かつ、前記第5ウエル領域を取り囲む素子分離領域下の一部にかかるように第1導電型の埋め込みウエルを形成するために、前記第5マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを含み、前記第6ウエル領域において、その第6ウエル領域における第2導電型の浅いウエルが、前記第5ウエル領域の第1導電型の浅いウエルと第5ウエル領域および第6ウエル領域の前記第1導電型の埋め込みウエルとによって取り囲まれ半導体基板から電気的に分離されるものである。

【0019】また、本発明は、前記第1ウエル領域において、第1導電型の浅いウエルの形成領域が露出するような第6マスクを半導体基板の主面上に形成する工程と、前記第1ウエル領域における第2導電型の浅いウエルの導電型が打ち消され前記第1ウエル領域に第1導電型の浅いウエルを形成するために、前記第6マスクを不純物導入マスクとして不純物を前記第1ウエル領域に導入する工程とを含み、前記第1ウエル領域においては、第1導電型の浅いウエルと第2導電型の浅いウエルとを形成し、その第2導電型の浅いウエルがその第1導電型の浅いウエル、前記第3ウエル領域に形成された第1導電型の浅いウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれ半導体基板から電気的に分離されるものである。

【0020】また、本発明は、半導体集積回路装置の製造方法であって、(a)第1ウエル領域および第1ウエル領域から離間する位置に形成される第2ウエル領域が露出する第1マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第1ウエル領域において、前

(8)

特開平11-261021

14

記半導体基板の深い位置に第1導電型の埋め込みウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)前記第1ウエル領域および第2ウエル領域において、前記第1導電型の埋め込みウエル上に第2導電型の浅いウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(d)前記第1ウエル領域の第1導電型の埋め込みウエルと第2導電型の浅いウエルとの外周を取り囲む第3ウエル領域および前記第1ウエル領域から離間する位置に形成される第4ウエル領域が露出する第2マスクを前記半導体基板の主面上にパターン形成する工程と、(e)前記第3ウエル領域において、前記第1ウエル領域の第2導電型の浅いウエルの外周を取り囲み、かつ、第1ウエル領域の第1導電型の埋め込みウエルと電気的に接続される第1導電型の浅いウエルを形成し、かつ、前記第4ウエル領域において第1導電型の浅いウエルを形成するために、前記第2マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、前記半導体基板に高耐圧のMISトランジスタを形成する場合には、その高耐圧のMISトランジスタが形成される浅いウエル以外の他の浅いウエルに、他の浅いウエルの導電型と同じ導電型の不純物を追加導入する工程とを含み、前記第1ウエル領域において、その第1ウエル領域における第2導電型の浅いウエルが前記第3ウエル領域に形成された第1導電型の浅いウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれ半導体基板から電気的に分離され、前記第2ウエル領域において、前記第2導電型の浅いウエルが前記半導体基板と電気的に接続されるものである。

【0021】また、本発明は、半導体集積回路装置の製造方法であって、(a)第1ウエル領域および第1ウエル領域から離間する位置に形成される第2ウエル領域が露出する第1マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第1ウエル領域および第2ウエル領域において、前記半導体基板内に第1導電型の埋め込みウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)前記第1ウエル領域および第2ウエル領域において、前記第1導電型の埋め込みウエル上に第2導電型のウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(d)前記第1ウエル領域の第1導電型の埋め込みウエルと第2導電型のウエルとの外周を取り囲む第3ウエル領域が露出する第2マスクを前記半導体基板の主面上にパターン形成する工程と、(e)前記第3ウエル領域において、前記第1ウエル領域の第2導電型のウエルの外周を取り囲み、かつ、第1ウエル領域の第1導電型の埋め込みウエルと電気的に接続される第1導電型のウエルを形成するために、前記第2マスクを不純物導入マ

15

スケとして不純物を半導体基板に導入する工程とを含み、前記第1ウエル領域において、第1ウエル領域における第2導電型のウエルが前記第3ウエル領域に形成された第1導電型のウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれて半導体基板から電気的に分離され、前記第2ウエル領域においては、前記第2導電型の浅いウエルが前記半導体基板と電気的に接続されるものである。

【0022】また、その他の手段における代表的な概要を簡単に説明すれば、次のとおりである。

【0023】すなわち、半導体基板の第1ウエル領域および第1ウエル領域から離間する位置に形成された第2ウエル領域において、前記半導体基板の主面から離れた深い位置に形成された第1導電型の埋め込みウエルと、前記第1ウエル領域および第2ウエル領域において、前記第1導電型の埋め込みウエル上に、その第1導電型の埋め込みウエルに対して自己整合に、かつ、不純物濃度が前記第1導電型の埋め込みウエルとは独立して設定されて形成された第2導電型の浅いウエルと、前記第1ウエル領域の外周に形成された第3ウエル領域において、前記第1ウエル領域の第2導電型の浅いウエルを取り囲み、かつ、第1ウエル領域の第1導電型の埋め込みウエルに電気的に接続された第1導電型の浅いウエルと、前記第1ウエル領域、第2ウエル領域および第3ウエル領域のいずれからも離間した位置に形成された第4ウエル領域において形成された第1導電型の浅いウエルとを有し、前記第1ウエル領域の第2導電型の浅いウエルは前記第1ウエル領域の第1導電型の埋め込みウエルおよび第3ウエル領域の第1導電型の浅いウエルによって取り囲まれ半導体基板から電気的に分離され、前記第2ウエル領域の第2導電型の浅いウエルが半導体基板と電気的に接続されたものである。

【0024】また、他の手段は、半導体基板の第1ウエル領域および第1ウエル領域から離間する位置に形成された第2ウエル領域において、前記半導体基板の主面から離れた深い位置に形成された第1導電型の埋め込みウエルと、前記第1ウエル領域および第2ウエル領域において、前記第1導電型の埋め込みウエル上に、その第1導電型の埋め込みウエルに対して自己整合に、かつ、不純物濃度が前記第1導電型の埋め込みウエルとは独立して設定されて形成された第2導電型の浅いウエルと、前記第1ウエル領域の外周に形成された第3ウエル領域において、前記第1ウエル領域の第2導電型の浅いウエルを取り囲み、かつ、第1ウエル領域の第1導電型の埋め込みウエルに電気的に接続された第1導電型の浅いウエルとを有し、前記第1ウエル領域の第2導電型の浅いウエルは前記第1ウエル領域の第1導電型の埋め込みウエルおよび第3ウエル領域の第1導電型の浅いウエルによって取り囲まれ半導体基板から電気的に分離され、前記第2ウエル領域の第2導電型の浅いウエルが半導体基板

(9)

特開平11-261021

16

と電気的に接続されたものである。

【0025】また、さらに、他の手段は、前記第3ウエル領域における第1導電型の浅いウエルの少なくとも一部の不純物濃度は、前記第2導電型の浅いウエルの不純物濃度よりも高くなるように不純物導入を行うようにしたものである。

【0026】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する（なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する）。

【0027】〈実施の形態1〉図1は本発明の技術思想を説明するための半導体集積回路装置の要部断面図、図2(a)、(b)および図3は図1の各部の不純物濃度分布の説明図、図4および図6は図1の半導体集積回路装置の製造工程における要部断面図、図5および図7は図1の半導体集積回路装置の製造工程に用いるマスクのレイアウト平面図、図8～図14は本発明の一実施の形態である半導体集積回路装置の製造工程における要部断面図、図15は図14の半導体集積回路装置におけるメモリセルの回路図、図54および図55は本発明者が検討したウエル分離構造を有する半導体集積回路装置の部分断面図、図56は図55の各部の不純物濃度分布を説明するための説明図である。

【0028】まず、本実施の形態1の説明に先立って本発明者が検討したウエル分離技術について説明する。

【0029】図54は、本発明者が検討した3重ウエルによるウエル分離構造を示している。半導体基板50は、例えばp型のシリコン単結晶からなり、その主面の素子分離領域にはフィールド絶縁膜51が形成されている。

【0030】深いnウエル52は、半導体基板50の主面から深い位置までn型の不純物分布が広がって形成されている。浅いnウエル53は、半導体基板50の主面から深いnウエル52よりは浅い位置までn型の不純物分布が広がって形成されている。

【0031】また、通常のpウエル54は、フィールド絶縁膜51に囲まれた領域に形成されており、半導体基板50の主面からp型不純物分布が広がって形成されている。さらに、pウエル55は、その周囲（底部および側部）が深いnウエル52に囲まれるように形成されている。

【0032】ここで、通常の動作では、半導体基板50は接地電位であるため上記通常のpウエル54には0V以外の電位は印加できないが、上記pウエル55は深いnウエル52で囲まれ半導体基板50と電気的に分離されており負電圧等、半導体基板50に印加される電圧とは異なる所望の電圧を印加することが可能となる。

【0033】上述のようなウエルの構造を2枚のマスクで形成する技術の問題点について説明する。図55はウ

50

17

エルの断面構造を示しており、p型の半導体基板56には、nウエル57a、57bとこのnウエル57a、57bよりも浅いpウエル58a、58bが形成されている。

【0034】浅いpウエル58bは、その周囲（底部および側部）がnウエル57aで取り囲まれており、半導体基板56から電気的に分離されている。したがって、pウエル58bには、負電圧等、半導体基板56に印加される電圧とは異なる所望の電圧を印加することが可能となっている。

【0035】この技術では、nウエル57a、57bを形成するための不純物導入工程に際して同じマスクを用い、また、pウエル58a、58bを形成するための不純物導入工程に際して同じマスクを用いることで2枚のマスクで上述のようなウエル構造を実現している。

【0036】ところで、図55中において符号A、B、Cで示した位置での深さ方向の不純物濃度分布を図56(a)、(b)に示す。位置Aでのnウエル57a内におけるリン(P)の濃度分布は、図56の(a)に示すように、位置Bでのpウエル58a内におけるホウ素(B)の濃度分布と比較すると、表面付近ではリン濃度が低く、表面から深い場所では逆にリン濃度が高く設定されねばならない。

【0037】その理由は、pウエル58a、58bを形成するための不純物導入工程に際して同じマスクで形成する関係上、位置B、Cの双方において最適な不純物分布となるようにしなければならないからである。すなわち、位置Cで示したp型ウエルの領域では、図56(b)に示すように、ホウ素濃度からリン濃度を差し引いた実効のpウエル58bが表面付近に形成されねばならず、また表面から深い場所では実効のnウエル57bを形成する必要があることを考慮しなければならないためである。

【0038】しかし、この技術には、以下のような問題があることを本発明者は見出した。第1の問題は、pウエル58bはホウ素とリンとの総値で形成するため、実効のp型不純物濃度が通常pウエル58aのホウ素濃度の半分に減少する点である。このため、半導体基板の主面に形成されるトランジスタの特性、特にしきい電圧が大きく異なってしまう。このしきい電圧を調整するためには新たなマスクが必要となってしまう。

【0039】第2の問題は、pウエル58bのトータルの不純物濃度が通常pウエル58aと比較して、ほぼ3倍に増加する点である。このため、半導体基板の主面領域のキャリアの移動度が低下するので、その主面に形成されるトランジスタの特性、特にドレイン電流が低下する。

【0040】上記した2つの問題点は、トランジスタの微細化とともにウエル濃度が益々増加する傾向にあって、トランジスタの高性能化を大きく阻害する要因とし

(10)

特開平11-261021

18

て顕著な問題となる。

【0041】そこで、マスク枚数を増加させることなく、各ウエルの不純物濃度を独立に設定可能なウエル構造を提案する。図1は、本発明の技術思想を示す半導体基板1の要部断面図を示している。

【0042】半導体基板1は、例えばホウ素が含有されたp型のシリコン(Si)単結晶からなり、その主面には溝型の素子分離領域2が形成されている。この分離領域2は、半導体基板1の主面に掘られた溝2a内に分離膜2bが埋め込まれて形成されている。この分離膜2bは、例えばシリコン酸化膜等からなり、その上面は半導体基板1の主面とほぼ一致するように平坦化の処理がされている。

【0043】この互いに隣接する分離領域2に挟まれた領域には、ウエル分離領域（第1ウエル領域）、第2ウエル領域および第4ウエル領域が示されている。

【0044】ウエル分離領域には、埋め込みnウエル（第1導電型の埋め込みウエル）3aと、その上に自己整合的に形成された浅いpウエル（第2導電型の浅いウエル）4aと、その浅いpウエル4aの周辺部を取り囲むように形成された浅いnウエル（第1導電型の浅いウエル）5aとが設けられている。

【0045】この埋め込みnウエル3aと浅いpウエル4aとは、その各々を形成するための不純物を共通のマスクをイオン打ち込み用マスクとして用いたイオン打ち込みにより、半導体基板1に導入することで形成される。したがって、埋め込みnウエル3aと浅いpウエル4aとは平面的に同じ位置に、かつ、同じ平面領域で形成されている。

【0046】なお、特に限定されないが、埋め込みnウエル3aには、例えばリンが含有されている。また、浅いpウエル4aには、例えばホウ素が含有されている。

【0047】また、浅いnウエル5aは、浅いpウエル4aの側部と半導体基板1との境界領域を跨ぐように形成され、かつ、分離領域2の底部から埋め込みnウエル3aに亘るように広がって形成されている。したがって、浅いpウエル4aは、その外周が浅いnウエル5aおよび埋め込みnウエル3aで完全に取り囲まれており、半導体基板1とは電気的に分離されている。この浅いnウエル5aには、例えばリンが含有されている。

【0048】第2ウエル領域には、半導体基板1の主面から深い位置に形成された埋め込みnウエル（第1導電型の埋め込みウエル）3bと、その上に自己整合的に形成された浅いpウエル（第2導電型の浅いウエル）4bとが設けられている。

【0049】この埋め込みnウエル3bと浅いpウエル4bとは、その各々を形成するための不純物を共通のマスクをイオン打ち込み用マスクとして用いたイオン打ち込みにより、半導体基板1に導入することで形成される。したがって、埋め込みnウエル3bと浅いpウエル

10

20

30

40

50

(11)

特開平11-261021

19

20

4bとは平面的に同じ位置に、かつ、同じ平面領域で形成されている。

【0050】また、埋め込みnウエル3bの不純物と、上記したウエル分離領域の埋め込みnウエル3aの不純物とは、同じマスクをイオン打ち込みマスクとして用いたイオン打ち込みにより、同時に半導体基板1に導入される。したがって、埋め込みnウエル3bの不純物および深さ方向の不純物分布（深さおよび領域等）は、埋め込みnウエル3aの不純物および深さ方向の不純物分布（深さおよび領域等）と同じである。

【0051】また、浅いpウエル4bの不純物と、上記したウエル分離領域の浅いpウエル4aの不純物とは、同じマスクをイオン打ち込みマスクとして用いたイオン打ち込みにより、同時に半導体基板1に導入される。したがって、浅いpウエル4bの不純物および深さ方向の不純物分布（深さおよび領域等）は、浅いpウエル4aの不純物および深さ方向の不純物分布（深さおよび領域等）と同じである。

【0052】第4ウエル領域には浅いnウエル（第1導電型の浅いウエル）5bが形成されている。この浅いnウエル5bの不純物と、上記したウエル分離領域の浅いnウエル5aの不純物とは、同じマスクをイオン打ち込みマスクとして用いたイオン打ち込みにより同時に半導体基板1に導入される。したがって、浅いnウエル5bの不純物および深さ方向の不純物分布（深さおよび領域等）は、浅いnウエル5aの不純物および深さ方向の不純物分布（深さおよび領域等）と同じである。

【0053】この図1中の符号D、E、F、Gで示した位置での不純物濃度分布を図2の（a）、（b）に示す。

【0054】第4ウエル領域（位置D）の浅いnウエル5bの不純物濃度分布は、図2の（a）に示すように、半導体基板1の主面から所定深さまで広がって形成されており、その主面に形成されるpチャネル型のトランジスタの性能を最適化する濃度となっている。

【0055】第2ウエル領域（位置E）の不純物濃度分布は、主面付近は浅いpウエル4bの分布があり、主面から離れた半導体基板内部では埋め込みnウエル3bの分布がある。半導体基板の主面付近における分布は、その主面に形成されるnチャネル型のトランジスタの性能を最適化する濃度に設定されている。また、半導体基板内部の分布は、半導体基板と主面付近の浅いpウエルを電気的に分離するのに十分な分布に設定されている。

【0056】また、ウエル分離領域（位置F）での不純物濃度分布は、上記した第2ウエル領域（位置E）のそれと全く同一なので説明を省略する。ただし、ウエル分離領域において浅いpウエルの外周部には、図1に示したように、浅いnウエル5aが設けられているので、その領域（位置G）での不純物濃度分布は第2ウエル領域の不純物濃度分布とは異なる。図1中の符号Gで示した

位置での不純物濃度分布を図3に示す。

【0057】この領域では、浅いp型ウエル4aとn型ウエル5aとが重なって形成されているが、n型ウエル5aの不純物濃度分布が浅いp型ウエル領域4aの不純物濃度分布より深く設定されているため（図1および図3参照）、図3中のn型分離長で示すように、浅いpウエル4aと半導体基板1とは十分に電気的分離が可能となっている。

【0058】なお、本発明の形態の全てにおいて、例えば各ウエルあるいは所定のウエルには半導体基板の主面に形成された配線を通じて所定の電圧を印加可能な構造となっている。

【0059】次に、図1の半導体集積回路装置の製造工程を図4～図7により説明する。

【0060】図4は図1の半導体集積回路装置の製造工程における要部断面図を示している。まず、半導体基板1の主面に溝2aを掘った後、半導体基板1の主面に、例えばシリコン酸化膜からなる絶縁膜をCVD法等によって堆積し、さらに、その絶縁膜をCMP（Chemical Mechanical Polishing）法等で研磨して平坦化し、溝2a内のみ絶縁膜を埋め込むことで分離膜2bを形成して素子分離領域2を形成する。

【0061】続いて、半導体基板1に対して酸化処理を施すことにより、半導体基板1の主面の露出領域に、例えばシリコン酸化膜等からなる絶縁膜6を形成した後、半導体基板1の主面に、ウエル分離領域および第2ウエル領域が露出し、かつ、他の領域が被覆されるようなフォトリソパターン（第1マスク）7aを形成する。なお、フォトリソパターン7aの開口端部は分離領域2の上に配置されている。

【0062】このフォトリソパターン7aの平面レイアウト図の一例を図5に示す。図5には2つの矩形パターン7a1、7a2が示されている。矩形パターン7a1はウエル分離領域側のウエル形成用のマスクパターンであり、このパターンの内側が半導体基板1の露出領域を示している。また、矩形パターン7a2は第2ウエル領域側のウエル形成用のマスクパターンであり、このパターンの内側が半導体基板1の露出領域を示している。

【0063】その後、図4に示すように、埋め込みnウエル3a、3bを半導体基板1の深い位置に形成するために、フォトリソパターン7aをマスクとして、例えばリンをイオン打ち込みする。この際、埋め込みnウエル3a、3bに最適な不純物濃度に設定できる。

【0064】その後、その埋め込みnウエル3a、3bの上に浅いpウエル4a、4bを自己整合的に形成するために、同じフォトリソパターン7aをマスクとして、例えばホウ素をイオン打ち込みする。

【0065】この際、本発明の技術思想では浅いpウエル4a、4bの不純物濃度を埋め込みnウエル3a、3bの不純物濃度との差で設定するのではなく、埋め込み

(12)

特開平11-261021

21

nウエル3a, 3bとは独立して最適な不純物濃度に設定できる。したがって、この浅いpウエル4a, 4b領域内に形成される素子の特性、後述するように例えば素子がMOS・FET (Metal-Oxide-Semiconductor) であれば、そのしきい電圧やドレイン電流等を向上させることが可能となる。

【0066】しかも、埋め込みnウエル3a, 3bおよび浅いpウエル4a, 4bを各々別々のフォトリソパターンを用いて形成せず、1つのフォトリソパターン7aを用いて形成するので、各ウエルを別々のフォトリソパターンを用いて形成する場合に比べて製造コストを大幅に低減できる。また、異物による不良発生率を低減できるので、半導体集積回路装置の歩留まりおよび信頼性を向上させることができる。

【0067】なお、埋め込みnウエル3a, 3b用の不純物と、浅いpウエル4a, 4b用の不純物との導入順序は逆でも良い。

【0068】次いで、図4に示したフォトリソパターン7aを除去した後、図6に示すように、半導体基板1の主面上に、ウエル分離領域の外周領域(第3ウエル領域)および第4ウエル領域が露出し、かつ、他の領域が被覆されるようなフォトリソパターン(第2マスク)7bを形成する。なお、フォトリソパターン7bの開口端部も分離領域2上に配置されている。

【0069】このフォトリソパターン7bの平面レイアウト図の一例を図7に示す。図7には、枠形パターン7b1と矩形パターン7b2とが示されている。なお、図7にはフォトリソパターン7a(図4および図5参照)との相対的な位置関係がわかるようにするためにフォトリソパターン7aの矩形パターン7a1, 7a2を破線で示す。

【0070】枠形パターン7b1はウエル分離領域側のnウエル形成用のパターンであり、その枠内が半導体基板1の露出領域を示している。また、矩形パターン7b2は第4ウエル領域のnウエル形成用のパターンであり、その内側が半導体基板1の露出領域を示している。

【0071】その後、図6に示すように、浅いnウエル5a, 5bを半導体基板1に形成するために、フォトリソパターン7bをマスクとして、例えばリンをイオン打ち込みする。この際、浅いnウエル5a, 5bに最適な不純物濃度に設定できる。したがって、この浅いnウエル5b領域内に形成される素子の特性、後述するように例えば素子がMIS・FETであれば、そのしきい電圧やドレイン電流等を向上させることが可能となる。

【0072】このように本発明の技術思想では浅いpウエル4a, 4bおよび浅いnウエル5bの不純物濃度をそれぞれに最適な値に独立して設定できるのでそのウエル4a, 4bおよび浅いnウエル5bの領域内に形成される素子の特性、例えば素子がMOS・FETの場合はしきい電圧やドレイン電流等を常に最適化できる。

22

【0073】しかも、埋め込みnウエル3a, 3b、浅いpウエル4a, 4bおよび浅いnウエル5a, 5bを2つのフォトリソパターン7a, 7bのみで形成することができるので、各ウエル毎にフォトリソパターンを形成する技術に比べてフォトリソパターンの形成工程を削減できる。すなわち、1つのフォトリソパターンを形成するのに必要なフォトリソ膜の塗布、露光、現像および洗浄・乾燥の一連の処理を削減することができる。このため、半導体集積回路装置の製造コストを低減できる。また、異物による不良発生率を低減できるので半導体集積回路装置の歩留まりを向上させることができる。

【0074】また、浅いnウエル5aの少なくとも一部であって埋め込みnウエル3aの近傍(すなわち、図6の下部)の不純物濃度が、浅いpウエル4aの一部であって埋め込みnウエル3aの近傍で、かつ、浅いnウエル5aの近傍(すなわち、図6の下方角部)の不純物濃度よりも高くなるように不純物導入が行われている。

【0075】これにより、浅いウエル5aを形成するための不純物導入工程に際して、その浅いウエル5aの形成位置が平面的にずれても、そのpn接合を浅いpウエル4aから遠ざけることができるので、浅いウエル5aの耐圧を確保することができ、ウエル分離領域における浅いウエル4aと半導体基板1との電気的な分離能力を確保することが可能となる。

【0076】これらにより、信頼性の高い半導体集積回路装置を低コストで提供することができるので、半導体産業に与える効果は非常に大である。

【0077】次に、本発明の技術思想を、例えばDRAM (Dynamic Random Access Memory) に適用した場合を図8～図14を用いて説明する。

【0078】図8はDRAMの製造工程中におけるメモリセル領域(第1ウエル領域、第3ウエル領域)およびその周辺回路領域(第2ウエル領域、第4ウエル領域)の断面図を示している。

【0079】まず、例えば抵抗率 $10\Omega\text{cm}$ のp型シリコン(S1)単結晶からなる半導体基板1の主面に、例えば厚さ 20nm のシリコン酸化膜等からなるパッド膜8を熱酸化法等により成長させた後、そのパッド膜8上に、例えば厚さ 200nm のシリコン窒化膜等からなる絶縁膜9を化学気相成長法(CVD法)により堆積する。

【0080】続いて、その絶縁膜9上に、素子分離領域が露出し、かつ、素子形成領域が覆われるようなフォトリソパターンを形成した後、これをエッチングマスクとして下層の絶縁膜9をドライエッチング法によってパターンニングする。

【0081】その後、その絶縁膜9のパターンをエッチングマスクとして、半導体基板1に分離領域となる溝2aをドライエッチング法によって形成した後、半導体基

(13)

特開平11-261021

23

板1の素子分離領域にチャネルストップ層10を形成すべく、ホウ素等を、例えば加速エネルギー50keV、ドーズ量 $5 \times 10^{11}/\text{cm}^2$ の条件で、半導体基板1の溝2aの表面に注入する。

【0082】次いで、図9に示すように、溝2aの表面を含む半導体基板1の主面上に、例えば厚さ400nmのシリコン酸化膜等をCVD法等で堆積した後、これを溝2a内のみに残るようにCMP法等によって平坦化することにより、溝2a内に分離膜2bを形成して素子分離領域2を形成する。この素子分離領域2により活性領域が規定される。

【0083】続いて、図10に示すように、半導体基板1の主面上に、メモリセル領域および周辺回路領域等のnチャネル形のMIS・FETの形成領域が露出し、それ以外の領域が覆われるような厚さ5μm程度のフォトレジストパターン（第1マスク）7cを形成する。

【0084】このフォトレジストパターン7cの平面レイアウト図を図11に示す。図11には2つの矩形パターン7c1、7c2が示されている。矩形パターン7c1はメモリセル領域側のウエル形成用のマスクパターンであり、このパターンの内側が半導体基板1の露出領域を示している。また、矩形パターン7c2は周辺回路領域側のウエル形成用のマスクパターンであり、このパターンの内側が半導体基板1の露出領域を示している。

【0085】その後、図10に示すように、埋め込みnウエル3a、3bを形成するために、当該フォトレジストパターン7cをマスクとして、リン等を、例えば加速エネルギー2500keV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ の条件で、半導体基板1の深い位置にイオン打ち込みする。この際、埋め込みnウエル3a、3bに最適な不純物濃度に設定できる。

【0086】その後、浅いpウエル4a、4bを埋め込みnウエル3a、3bの上に自己整合的に形成するために、同じフォトレジストパターン7cをマスクとして、ホウ素を、例えば加速エネルギー500keV、ドーズ量 $7 \times 10^{12}/\text{cm}^2$ の条件、加速エネルギー150keV、ドーズ量 $5 \times 10^{12}/\text{cm}^2$ の条件および加速エネルギー50keV、ドーズ量 $1 \times 10^{12}/\text{cm}^2$ の条件の3つの条件でイオン打ち込みする。

【0087】この際、本実施の形態においては、浅いpウエル4a、4bの不純物濃度を埋め込みnウエル3a、3bの不純物濃度との差で設定するのではなく、埋め込みnウエル3a、3bとは独立して最適な不純物濃度に設定できる。したがって、この浅いpウエル4a、4b領域内に形成される素子の特性、例えば素子がMIS・FETであれば、そのしきい電圧やドレイン電流等を向上させることが可能となる。

【0088】しかも、埋め込みnウエル3a、3bおよび浅いpウエル4a、4bを各々別々のフォトレジストパターンを用いて形成せず、1つのフォトレジストパ

24

ターン7cを用いて形成するので、各ウエルを別々のフォトレジストパターンを用いて形成する場合に比べて製造コストを大幅に低減できる。また、異物による不良発生率を低減できるので、DRAMの歩留まりおよび信頼性を向上させることができる。

【0089】なお、埋め込みnウエル3a、3b用の不純物と、浅いpウエル4a、4b用の不純物との導入順序は逆でも良い。

【0090】次いで、図10に示したフォトレジストパターン7cを除去した後、図12に示すように、半導体基板1の主面上に、メモリセル領域の外周領域および周辺回路領域のpチャネル形のMIS・FETの形成領域が露出し、かつ、他の領域が被覆されるような厚さ3μm程度のフォトレジストパターン（第2マスク）7dを形成する。

【0091】このフォトレジストパターン7dの平面レイアウト図を図13に示す。図13には、枠形パターン7d1と矩形パターン7d2とが示されている。なお、図13にはフォトレジストパターン7c（図10および図11参照）との相対的な位置関係がわかるようにするためにフォトレジストパターン7cの矩形パターン7c1、7c2も破線で示す。

【0092】枠形パターン7d1はメモリセル領域側のnウエル形成用のパターンであり、その枠内が半導体基板1の露出領域を示している。また、矩形パターン7d2は周辺回路領域のnウエル形成用のパターンであり、その内側が半導体基板1の露出領域を示している。

【0093】その後、図12に示すように、浅いnウエル5a、5bを半導体基板1に形成するために、フォトレジストパターン7dをマスクとして、リン等を、例えば加速エネルギー1100keV、ドーズ量 $1.5 \times 10^{13}/\text{cm}^2$ の条件、加速エネルギー500keV、ドーズ量 $3 \times 10^{12}/\text{cm}^2$ の条件および加速エネルギー180keV、ドーズ量 $5 \times 10^{12}/\text{cm}^2$ の条件の3つの条件でイオン打ち込みした後、2フッ化ホウ素（BF₃）を、例えば加速エネルギー70keV、ドーズ量 $2 \times 10^{12}/\text{cm}^2$ の条件でイオン打ち込みする。なお、ここでのBF₃のイオン打ち込みは、周辺回路領域に形成されるpチャネル型のMIS・FETのしきい電圧を設定するために打ち込まれている。

【0094】この際、本実施の形態では、浅いnウエル5a、5bに最適な不純物濃度に設定できる。したがって、この浅いnウエル5b領域内に形成される素子の特性、例えば素子がMIS・FETであれば、そのしきい電圧やドレイン電流等を向上させることが可能となる。

【0095】このように本実施の形態では、浅いpウエル4a、4bおよび浅いnウエル5bの不純物濃度をそれぞれに最適な値に独立して設定できるので、そのウエル4a、4bおよび浅いnウエル5bの領域内に形成される素子の特性、例えば素子がMIS・FETの場合は

(14)

特開平11-261021

25

26

しきい電圧やドレイン電流等を意に最適化できる。

【0096】しかも、埋め込みnウェル3a、3b、浅いpウェル4a、4bおよび浅いnウェル5a、5bを2つのフォトリソパターン7a、7bのみで形成することができるので、各ウェル毎にフォトリソパターンを形成する技術に比べてフォトリソパターンの形成工程を削減できる。すなわち、1つのフォトリソパターンを形成するのに必要なフォトリソ膜の塗布、露光、現像および洗浄・乾燥の一連の処理を削減することができる。このため、DRAMの製造コストを低減できる。また、異物による不良発生率を低減できるのでDRAMの歩留まりを向上させることができる。

【0097】これらにより、信頼性の高いDRAMを低コストで提供することができるので、半導体産業に与える効果は非常に大である。

【0098】次いで、図14に示すように、メモリセル領域にメモリセル選択用MIS・FETQを形成し、周辺回路領域にpチャネル型のMIS・FETQpおよびnチャネル型のMIS・FETQnを形成する。

【0099】メモリセル選択用MIS・FETQは、主に浅いpウェル4aの上部に互いに隣接して形成された一対のn型半導体領域11a、11bと、半導体基板1の活性領域上に形成されたゲート絶縁膜11iと、その上に形成されたゲート電極11gとを有している。なお、メモリセル選択用MIS・FETQのしきい電圧は、例えば1Vまたはその前後である。

【0100】このメモリセル選択用MIS・FETQが形成される浅いpウェル4aは、埋め込みnウェル3aおよび浅いnウェル5aによって完全に囲まれ、半導体基板1と電気的に分離されている。したがって、浅いpウェル4aには、半導体基板1に印加される電圧とは異なる電圧を印加することが可能となっている。なお、浅いpウェル4aへの電圧供給は、浅いpウェル4aの上面に接続された配線を通じて行われる構造になっている。浅いnウェル5a等もウェル給電に関し同様の構造となっている。

【0101】半導体領域11a、11bは、メモリセル選択用MIS・FETQのソース・ドレインを形成するための領域であり、この領域には、例えばヒ素(As)が導入されている。この半導体領域11a、11bの間においてゲート電極11gの直下にはメモリセル選択用MIS・FETQのチャネル領域が形成される。

【0102】また、ゲート電極11gは、ワード線WLの一部によって形成されており、例えばn形の低抵抗ポリシリコン膜、窒化チタンおよびタングステン膜が下層から順に堆積されて形成されている。

【0103】このゲート電極11gにおける窒化チタン膜は、低抵抗ポリシリコン膜上にタングステン膜を直接積み重ねた場合に、その接触部に製造プロセス中の熱処理によりシリサイドが形成されてしまう等を防止するた

めのバリア金属膜である。

【0104】このバリア金属膜としては、窒化チタンに限定されるものではなく種々変更可能である。例えば窒化タングステン等もバリア金属膜として用いるのに優れた材料である。

【0105】メモリセル選択用MIS・FETQのゲート電極11gにおけるタングステン膜は、配線抵抗を下げる機能を有しており、これを設けたことにより、ゲート電極11g(すなわち、ワード線WL)のシート抵抗を2〜2.5Ω/□程度にまで低減できる。これは、タングステンシリサイドの比抵抗15〜10μΩcmの約1/10にできる。

【0106】これにより、DRAMのアクセス速度を向上させることが可能となっている。また、1本のワード線WLに配置可能なメモリセルの数を増加させることができるので、メモリ領域全体の占有面積を縮小することができ、半導体チップのサイズを縮小することができる。

【0107】例えば本実施の形態ではワード線WLに512個のメモリセルを配置できる。これは、ワード線WLに256個のメモリセルを配置可能な場合に比べて半導体チップのサイズを約6%縮小することができ、さらに微細なクラスの半導体チップでは、10%弱の半導体チップのサイズの低減効果が得られる。したがって、1回の製造プロセスで製造される半導体チップの個数を増加させることができるので、DRAMのコスト低減を推進することが可能となる。また、半導体チップのサイズを変えないならば素子集積度の向上が図れる。

【0108】ゲート絶縁膜11iは、例えばシリコン酸化膜からなり、その厚さは、例えば7nm程度に設定されている。また、このゲート絶縁膜11iを酸化窒化膜(SiON膜)によって形成しても良い。これにより、ゲート絶縁膜中における界面準位の発生を抑制することができ、また、同時にゲート絶縁膜中の電子トラップも低減することができるので、ゲート絶縁膜11iにおけるホットキャリア耐性を向上させることが可能となる。したがって、極薄のゲート絶縁膜11iの信頼性を向上させることが可能となる。

【0109】このようなゲート絶縁膜11iの酸化方法としては、例えばゲート絶縁膜11iを酸化処理によって成膜する際にNH₃、ガス雰囲気やNO₂、ガス雰囲気中において高温熱処理を施すことによりゲート絶縁膜11i中に窒素を導入する方法、シリコン酸化膜等からなるゲート絶縁膜11iを形成した後、その上面に窒化膜を形成する方法、半導体基板の主面に窒素をイオン注入した後ゲート絶縁膜11iの形成のための酸化処理を施す方法またはゲート電極形成用のポリシリコン膜に窒素をイオン注入した後、熱処理を施して窒素をゲート絶縁膜に析出させる方法等がある。

【0110】また、周辺回路領域におけるpチャネル型

(15)

特開平11-261021

27

のMIS・FETQpは、主に浅いnウェル5bの上部に互いに離間して形成された一対のp型半導体領域12a、12bと、半導体基板1上に形成されたゲート絶縁膜12iと、その上に形成されたゲート電極12gとを有している。なお、このMIS・FETQpにおけるしきい電圧は、例えば0.3Vまたはその前後である。

【0111】半導体領域12a、12bは、pチャネル形のMIS・FETQpのソース・ドレインを形成するための領域であり、この半導体領域12a、12bの間においてゲート電極12gの直下にpチャネル形のMIS・FETQpのチャネル領域が形成される。

【0112】この半導体領域12a、12bはLDD（Lightly Doped Drain）構造としても良い。すなわち、半導体領域12a、12bは、それぞれ相対的に不純物濃度の低い低濃度領域（P⁻）と、相対的に不純物濃度の高い高濃度領域（P⁺）とを設けても良い。この低濃度領域は、チャネル領域側に形成されており、高濃度領域はその外側に配置されている。すなわち、低濃度領域は、チャネル領域と高濃度領域との間に形成される。

【0113】ゲート電極12gは、上記したメモリセル領域のゲート電極11g（ワード線WL）と同時にパターンニングされ、例えばn形の低抵抗ポリシリコン膜、窒化チタン膜およびタングステン膜が下層から順に堆積されて形成されている。

【0114】ゲート絶縁膜12iは、上記したメモリセル領域のゲート絶縁膜11iと同時に形成されており、例えばシリコン酸化膜からなり、その厚さは、例えば7nm程度に設定されている。また、このゲート絶縁膜12iを酸窒化膜（SiON膜）によって形成しても良い。これにより、極薄のゲート絶縁膜12iのホットキャリア耐性を向上させることが可能となっている。

【0115】一方、周辺回路領域（図14の右側）における浅いpウェル4bにはnチャネル形のMIS・FETQnが形成されている。なお、nチャネル型のMIS・FETQnが形成された浅いpウェル4bの直下には埋め込みnウェル3bが形成されているが、浅いpウェル4bの下方側部はn型半導体領域で取り囲まれることもなく半導体基板1と電気的に接続されているので、半導体基板1から浅いpウェル4bに対する電位の供給を阻害することはない。

【0116】nチャネル形のMIS・FETQnは、主に浅いpウェル4bの上部に互いに離間して形成された一対のn型半導体領域13a、13bと、半導体基板1上に形成されたゲート絶縁膜13iと、その上に形成されたゲート電極13gとを有している。なお、このMIS・FETQnにおけるしきい電圧は、例えば0.3Vまたはその前後である。

【0117】半導体領域13a、13bは、nチャネル形のMIS・FETQnのソース・ドレインを形成する

28

ための領域であり、この半導体領域13a、13bの間においてゲート電極13gの直下にnチャネル形のMIS・FETQnのチャネル領域が形成される。

【0118】この半導体領域13a、13bはLDD（Lightly Doped Drain）構造としても良い。すなわち、半導体領域13a、13bは、それぞれ相対的に不純物濃度の低い低濃度領域と、相対的に不純物濃度の高い高濃度領域とを設けても良い。この低濃度領域は、チャネル領域側に形成されており、高濃度領域は、その外側に配置されている。すなわち、低濃度領域は、チャネル領域と高濃度領域との間に形成される。

【0119】また、ゲート電極13gは、上記したメモリセル領域のゲート電極11g（ワード線WL）および周辺回路領域のゲート電極12gと同時に形成されており、例えばn形の低抵抗ポリシリコン膜、窒化チタン膜およびタングステン膜が下層から順に堆積されてなる。

【0120】ゲート絶縁膜13iは、上記したメモリセル領域のゲート絶縁膜11iおよび周辺回路領域のゲート絶縁膜12iと同時に形成されており、例えばシリコン酸化膜からなり、その厚さは、例えば7nm程度に設定されている。また、このゲート絶縁膜13iを酸窒化膜（SiON膜）によって形成しても良い。これにより、上記したように極薄のゲート絶縁膜13iのホットキャリア耐性を向上させることが可能となっている。

【0121】このような半導体基1の主面上に、メモリセル選択用MIS・FETQ、pチャネル型のMIS・FETQpおよびnチャネル型のMIS・FETQnを被覆するように、例えばシリコン酸化膜等からなる層間絶縁膜14aを堆積した後、その所定箇所に半導体基板1の主面が露出するような接続孔15aをフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。

【0122】続いて、メモリセル領域における接続孔15a内に導体膜を埋め込みプラグ16を形成した後、層間絶縁膜14a上に、例えばアルミニウム-シリコン-銅合金からなる導体膜を堆積した後、それをフォトリソグラフィ技術およびドライエッチング技術によってパターンニングすることにより、第1層配線17aおよびビット線BLを形成する。

【0123】その後、層間絶縁膜14a上に、第1層配線17aおよびビット線BLを被覆するように、例えばシリコン酸化膜からなる層間絶縁膜14bを堆積した後、その所定箇所にプラグ16の上面が露出するような接続孔15bをフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。

【0124】次いで、メモリセル領域における接続孔15b内に導体膜を埋め込みプラグ18を形成した後、層間絶縁膜14b上に、例えばクラウン形の情報蓄積電圧用のキャパシタ19を形成する。このキャパシタ19は、蓄積電極19aと、その表面に形成された容量絶縁

(15)

特開平11-261021

29

30

膜と、その表面に形成されたプレート電極19bとを有しており、図15に示すように、上記したメモリセル選択用MIS・FETQとでメモリセルを構成している。

【0125】続いて、図14に示すように、層間絶縁膜14b上に、キャパシタ19を被覆するように、例えばシリコン酸化膜からなる層間絶縁膜14cを堆積した後、層間絶縁膜14c、14bに第1層配線17aが露出するような接続孔15cを穿孔する。

【0126】その後、層間絶縁膜14c上に、例えばアルミニウム-シリコン-銅合金からなる導体膜を堆積した後、それをフォトリソグラフィ技術およびドライエッチング技術によってパターンニングすることにより、第2層配線17bを形成する。

【0127】これ以降、通常の配線形成工程、表面保護膜の形成工程等を経てDRAMを製造する。なお、このようにして製造された半導体集積回路装置において、その動作時においては、半導体基板1には、例えば0Vが印加され、メモリセル領域の浅いpウエル4aには、例えば-1〜-3.3V程度が印加される。

【0128】このような本実施の形態1においては、以下の効果を得ることが可能である。

【0129】(1)浅いpウエル4a、4bおよび浅いnウエル5bの不純物濃度をそれぞれに最適な値に独立して設定できるので、そのウエル4a、4bおよび浅いnウエル5bの領域内に形成されるMIS・FETQ、Qn、Qpのしきい電圧やドレイン電流等の電気的特性を意に最適化することが可能となる。

【0130】(2)埋め込みnウエル3a、3b、浅いpウエル4a、4bおよび浅いnウエル5a、5bを2つのフォトレジストパターン7a、7bのみで形成することができるので、各ウエル毎にフォトレジストパターンを形成する技術に比べてフォトレジストパターンの形成工程を削減することが可能となる。

【0131】(3)上記(2)により、半導体集積回路装置の製造コストを低減することが可能となる。

【0132】(4)上記(2)により、フォトレジストパターンの形成工程が減った分、異物による不良発生率を低減できるので半導体集積回路装置の歩留まりを向上させることが可能となる。

【0133】(5)浅いnウエル5bの少なくとも一部(下部)の不純物濃度を浅いpウエル4aの少なくとも一部(下方角部)の不純物濃度よりも高くすることにより、浅いウエル5bを形成するための不純物打ち込み工程に際して、その浅いウエル5bの形成位置が平面的にずれても、浅いウエル5bの耐圧を確保することができるので、ウエル分離領域における浅いウエル4aと半導体基板1との電気的な分能能力を確保することが可能となる。

【0134】(6)上記(3)、(4)、(5)により、動作信頼性の高い半導体集積回路装置を低コストで提供すること

とが可能となる。

【0135】(実施の形態2)図16は本発明の他の実施の形態である半導体集積回路装置を構成する半導体チップの平面図、図17から図23は図16の半導体集積回路装置の製造工程中における要部断面図である。

【0136】本実施の形態2においては、例えばゲート長が0.25 μm のCMIS(Complimentary MIS)ロジック回路に適用した場合について説明する。

【0137】図16は本実施の形態2の半導体集積回路装置の半導体チップ1Cの平面図を示している。半導体チップ1Cは、例えば矩形状に形成されたp型のシリコン単結晶の薄片からなり、その主面には、例えば電源電圧3.3V等、電源電圧が1.8Vよりも大きな電圧で駆動する素子の配置領域D1と、電源電圧が1.8Vで駆動する素子の配置領域D2とが配置されている。

【0138】この配置領域D1には、入出力回路I/O、複数ブロックのロジック回路20A、フェーズロックドループ回路PLLおよびクロックパルスジェネレータCPGが配置されている。また、配置領域D2にはロジック回路20Bが配置されている。

【0139】次に、本実施の形態2の半導体集積回路装置の製造方法を図17〜図23によって説明する。

【0140】まず、図17に示すように、前記実施の形態1と同様にして半導体基板1の主面に、パッド膜8を熱酸化法等により成長させた後、分能領域2を形成し、続いて、半導体基板1の主面上に、例えば電源電圧3.3Vで駆動するnチャネル形のMIS・FETの形成領域(第1ウエル領域および第2ウエル領域)が露出し、かつ、それ以外の領域が覆われるような厚さ5 μm 程度のフォトレジストパターン(第1マスク)7eを形成する。

【0141】続いて、埋め込みnウエル3a、3bを形成するために、当該フォトレジストパターン7eをマスクとして、リン等を、例えば加速エネルギー2300keV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ の条件で、半導体基板1の深い位置にイオン打ち込みする。この際、埋め込みnウエル3a、3bに最適な不純物濃度に設定できる。

【0142】その後、浅いpウエル4a、4bを埋め込みnウエル3a、3bの上に自己整合的に形成するために、同じフォトレジストパターン7eをマスクとして、ホウ素を、例えば加速エネルギー450keV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ の条件、加速エネルギー200keV、ドーズ量 $3 \times 10^{14}/\text{cm}^2$ の条件および加速エネルギー50keV、ドーズ量 $1.2 \times 10^{15}/\text{cm}^2$ の条件の3つの条件でイオン打ち込みする。

【0143】この際、本実施の形態2においては、浅いpウエル4a、4bの不純物濃度を埋め込みnウエル3a、3bの不純物濃度との差で設定するのではなく、埋め込みnウエル3a、3bとは独立して最適な不純物濃

(17)

特開平11-261021

31

度に設定できる。したがって、この浅いpウェル4a、4b領域内に形成されるMIS・FETのしきい電圧やドレイン電流等のような電気的特性を向上させることが可能となっている。

【0144】しかも、埋め込みnウェル3a、3bおよび浅いpウェル4a、4bを各々別々のフォトリソパターンを用いて形成せず、1つのフォトリソパターン7eを用いて形成するので、各ウェルを別々のフォトリソパターンを用いて形成する場合に比べて製造コストを大幅に低減できる。また、異物による不良発生率を低減できるので、半導体集積回路装置の歩留まりおよび信頼性を向上させることができる。

【0145】なお、埋め込みnウェル3a、3b用の不純物と、浅いpウェル4a、4b用の不純物との導入順序は逆でも良い。

【0146】次いで、図17に示したフォトリソパターン7eを除去した後、図18に示すように、半導体基板1の主面上に、例えば電源電圧3.3Vで駆動するnチャネル型のMIS・FETの形成領域の外周に位置する領域(第3ウェル領域および第4ウェル領域)が露出し、かつ、他の領域が被覆されるような厚さ4μm程度のフォトリソパターン(第2マスク)7fを形成する。

【0147】続いて、浅いnウェル5c、5dを半導体基板1に形成するために、フォトリソパターン7fをマスクとして、リン等を、例えば加速エネルギー1300keV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ の条件、加速エネルギー600keV、ドーズ量 $5 \times 10^{13}/\text{cm}^2$ の条件および加速エネルギー200keV、ドーズ量 $5 \times 10^{13}/\text{cm}^2$ の条件の3つの条件でイオン打ち込みした後、2フッ化ホウ素(BF₃)を、例えば加速エネルギー70keV、ドーズ量 $2 \times 10^{13}/\text{cm}^2$ の条件でイオン打ち込みする。なお、ここでのBF₃のイオン打ち込みは、電源電圧3.3Vで駆動するpチャネル型のMIS・FETのしきい電圧を設定するために打ち込まれている。

【0148】この浅いnウェル5c、5dは、浅いpウェル4aの側面を取り囲むように形成され、その下部は埋め込みnウェル3aの上部に重なり電氣的に接続されている。すなわち、浅いpウェル4aは、浅いnウェル5c、5dおよび埋め込みnウェル3aによって囲まれており半導体基板1とは電氣的に分離されている。したがって、浅いpウェル4aには、半導体基板1に印加される電圧とは異なる電圧を印加することが可能となっている。浅いnウェル5c、5dには、3.3Vが印加され、半導体基板1は0V(GND)にされる。

【0149】このような本実施の形態2では、浅いpウェル4a、4bおよび浅いnウェル5dの不純物濃度をそれぞれに最適な値に独立して設定できるので、そのウェル4a、4bおよび浅いnウェル5dの領域内に形成

32

されるMIS・FETのしきい電圧やドレイン電流等の電気的特性を常に最適化できる。

【0150】しかも、埋め込みnウェル3a、3b、浅いpウェル4a、4bおよび浅いnウェル5c、5dを2つのフォトリソパターン7e、7fのみで形成することができるので、各ウェル毎にフォトリソパターンを形成する技術に比べてフォトリソパターンの形成工程を削減できる。このため、前記実施の形態1と同様に、半導体集積回路装置の製造コストを低減でき、また、半導体集積回路装置の歩留まりを向上させることができる。

【0151】また、浅いnウェル5c、5dの少なくとも一部であって埋め込みnウェル3aの近傍(すなわち、図18の下方隣接角部)の不純物濃度が、浅いpウェル4aの一部であって埋め込みnウェル3aの近傍で、かつ、浅いnウェル5c、5dの近傍(すなわち、図18の下方角部)の不純物濃度よりも高くなるように不純物導入が行われている。これにより、前記実施の形態1で説明したように、ウェル分離領域における浅いウェル4aと半導体基板1との電気的な分離能力を確保することが可能となる。

【0152】これらにより、CMIS(Complementary MIS)ロジック回路を有する半導体集積回路装置の高い信頼性で、しかも低コストで提供することができるので、半導体産業に与える効果は非常に大である。

【0153】次いで、図18に示したフォトリソパターン7fを除去した後、図19に示すように、半導体基板1の主面上に、例えば電源電圧1.8Vで駆動するpチャネル型のMIS・FETの形成領域およびnウェル給電領域が露出し、かつ、他の領域が被覆されるような厚さ1.5μm程度のフォトリソパターン(第3マスク)7gを形成する。

【0154】続いて、半導体基板1に、1.8Vが印加される1.8V系の浅いnウェル5e、5fを形成するために、フォトリソパターン7gをマスクとして、リン等を、例えば加速エネルギー400keV、ドーズ量 $1.5 \times 10^{13}/\text{cm}^2$ の条件および加速エネルギー200keV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ の条件でイオン打ち込みした後、例えばフッ化ホウ素(BF₃)等を、例えば加速エネルギー70keV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ の条件で重ねてイオン打ち込みする。

【0155】この際、本実施の形態2では、浅いnウェル5e、5fの不純物濃度をそれぞれに最適な値に独立して設定できるので、その浅いnウェル5e、5fの領域内に形成されるMIS・FETのしきい電圧やドレイン電流等の電気的特性を常に最適化できる。

【0156】その後、図19に示したフォトリソパターン7gを除去した後、図20に示すように、半導体基板1の主面上に、例えば電源電圧1.8Vで駆動するnチャネル型のMIS・FETの形成領域および所定の分

(18)

特開平11-261021

33

離領域が露出し、かつ、他の領域が被覆されるような厚さ1.5 μm 程度のフォトリソパターン7hを形成する。

【0157】次いで、半導体基板1に、1.8V系の浅いpウエル4cおよびチャネルストップ層10aを形成するために、フォトリソパターン(第4マスク)7hをマスクとして、ホウ素等を、例えば加速エネルギー200keV、ドーズ量 $1.5 \times 10^{12}/\text{cm}^2$ および加速エネルギー60keV、ドーズ量 $1 \times 10^{12}/\text{cm}^2$ の条件でイオン打ち込みした後、例えば2フッ化ホウ素(BF₂)等を、例えば加速エネルギー40keV、ドーズ量 $3 \times 10^{12}/\text{cm}^2$ の条件で重ねてイオン打ち込みする。

【0158】この際、本実施の形態2では、浅いpウエル4cの不純物濃度をそれに最適な値に独立して設定できるので、その浅いpウエル4cの領域内に形成されるMIS・FETのしきい電圧やドレイン電流等の電気的特性を常に最適化できる。

【0159】また、本実施の形態2においては、1つのフォトリソパターン7hを用いてnウエル4cおよびチャネルストップ層10aを同時に形成するので、それらを別々のフォトリソパターンを用いて形成する場合に比べて製造コストを大幅に低減できる。また、異物による不良発生率を低減できるので、CMOSロジック回路の歩留まりおよび信頼性を向上させることができる。

【0160】この浅いpウエル4cの側面は、その側面側に設けられた浅いnウエル5e、5fによって取り囲まれている。なお、このチャネルストップ層10aは、上記した浅いnウエル5dと浅いnウエル5eとが近接する場合があるので、その場合であっても双方の浅いnウエル5d、5eの電気的分離が良好に行われるようにするために設けられている。

【0161】続いて、図20に示したフォトリソパターン7hを除去した後、半導体基板1の主面上のパッド層8を除去する。その後、半導体基板に対して熱酸化処理を施すことにより、図21に示すように、半導体基板1の主面上に、例えば厚さ8nm程度のゲート絶縁膜21iを形成する。なお、このゲート絶縁膜21iは、電源電圧3.3Vで駆動するMIS・FETのゲート絶縁膜となる。

【0162】その後、半導体基板1の主面上に、例えば電源電圧1.8Vで駆動するMIS・FETの形成領域およびウエル給電領域が露出し、かつ、他の領域が被覆されるような厚さ2.5 μm 程度のフォトリソパターン(第5マスク)7iを形成する。なお、フォトリソパターン7iは、その開口端部が分離領域2上に配置されるように形成されている。

【0163】次いで、半導体基板1に、1.8V系の埋め込みnウエル3cを形成するために、フォトリソパ

34

ターン7iをマスクとして、リン等を、例えば加速エネルギー1000keV、ドーズ量 $1 \times 10^{12}/\text{cm}^2$ の条件でイオン打ち込みする。

【0164】この埋め込みnウエル3cは、浅いnウエル5e、5fおよび浅いpウエル4cの直下において1.8V系のMIS・FET形成領域の全領域に広がって形成されている。埋め込みnウエル3cの上部は浅いnウエル5e、5fの下部に重なり、浅いnウエル5e、5fと電気的に接続されている。これにより、浅いpウエル4cは、浅いnウエル5e、5fおよび埋め込みnウエル3cによって囲まれており、半導体基板1とは電気的に分離されている。したがって、浅いpウエル4cには、半導体基板1に印加される電圧とは異なる電圧を印加することが可能となっている。

【0165】続いて、ウエル形成時にマスクとして用いたフォトリソパターン7iをエッチングマスクとして、半導体基板1に対してウェットエッチング処理を施すことにより、電源電圧1.8Vで駆動するMIS・FETの形成領域におけるゲート絶縁膜21iを図22に示すように除去する。

【0166】すなわち、本実施の形態2においては、ウエル形成時に用いたフォトリソパターン7iをエッチングマスクとしてゲート絶縁膜21iを除去するので、それらの処理に際して別々のフォトリソパターンを用いる場合に比べて製造コストを大幅に低減できる。また、異物による不良発生率を低減できるので、半導体集積回路装置の歩留まりおよび信頼性を向上させることができる。

【0167】その後、フォトリソパターン7iを除去した後、図23に示すように、電源電圧1.8Vで駆動するMIS・FETの形成領域に、例えばシリコン酸化膜等からなるゲート絶縁膜22iを形成する。ただし、この領域では、駆動電圧が低いので、ゲート絶縁膜22iの厚さは、上記したゲート絶縁膜21iよりも薄く、例えば厚さ5nm程度である。

【0168】次いで、半導体基板1上に、所定の導体膜を堆積した後、これをフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより、ゲート絶縁膜21i、22i上にゲート電極12g、13gを形成する。

【0169】続いて、pチャネル型のMIS・FETQpおよびnチャネル型のMIS・FETQnのソース・ドレイン用の半導体領域12a、12b、13a、13bおよびウエル給電用の半導体領域23a、23bを通常のイオン注入法等を用いて形成する。なお、ウエル給電用の半導体領域23a、23bには、例えばリンが浅いnウエル5d、5eの不純物濃度よりも高くなるように含有されている。

【0170】このようにしてpチャネル型のMIS・FETQpおよびnチャネル型のMIS・FETQnを形

(19)

35

成する。なお、電源電圧3.3Vで駆動するnチャネル型のMIS・FETQnが形成された浅いpウエル4bの直下には埋め込みnウエル3bが形成されているが、浅いpウエル4bの側部はn型半導体領域で取り囲まれることもなく半導体基板1と電気的に接続されているので、半導体基板1から浅いpウエル4bに対しての電位の供給を阻害することはない。

【0171】このMIS・FETのうち、電源電圧3.3Vで駆動するpチャネル型のMIS・FETQpおよびnチャネル型のMIS・FETQnは、図16の配置領域D1内の回路を構成し、電源電圧1.8Vで駆動するpチャネル型のMIS・FETQpおよびnチャネル型のMIS・FETQnは、図16の配置領域D2内の回路を構成している。

【0172】その後、半導体基板1の主面上に、pチャネル型のMIS・FETQpおよびnチャネル型のMIS・FETQnを被覆するように、例えばシリコン酸化膜等からなる層間絶縁膜14aを形成した後、その所定箇所に半導体基板1の主面が露出するような接続孔15aをフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。

【0173】次いで、層間絶縁膜14a上に、例えばアルミニウム-シリコン-銅合金からなる導体膜を堆積した後、それをフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより、第1層配線17aを形成する。

【0174】その後、層間絶縁膜14a上に、第1層配線17aを被覆するように、例えばシリコン酸化膜からなる層間絶縁膜14bを堆積し、通常の配線形成工程、表面保護膜の形成工程等を経てCMOSロジック回路を有する半導体集積回路装置を製造する。

【0175】このような本実施の形態2においては、前記実施の形態1で得られた効果の他に、以下の効果を得ることが可能である。

【0176】(1).3.3Vが印加される3.3V系の浅いnウエル5c、5dで囲われた3.3V系の浅いpウエル4aにのみバックバイアスとして-1~-3.3Vを印加し、1.8Vが印加される1.8V系の浅いnウエル5e、5fで囲われた1.8V系の浅いpウエル4cにのみバックバイアスとして-0.5~-1.8Vを印加し、それぞれの電源電圧のMIS・FETのしきい電圧およびオフリーク電流を良好に制御することができる。なお、バックバイアスは例えばスタンバイ時に印加され、リーク電流を低減できる。MIS・FETの動作時には、例えばpウエル4a、4cに0Vが印加され、高速動作を行うことができる。

【0177】(2).ウエル形成用に用いたフォトレジストパターン7iをエッチングマスクとしてゲート絶縁膜21iを除去することにより、それらの処理に際して別々のフォトレジストパターンを用いる場合に比べて製造コ

特開平11-261021

36

ストを低減することが可能となる。

【0178】(3).ウエル形成用に用いたフォトレジストパターン7iをエッチングマスクとしてゲート絶縁膜21iを除去することにより、異物による不良発生率を低減できるので、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となる。

【0179】(実施の形態3)図24は本発明の他の実施の形態である半導体集積回路装置を構成する半導体チップの平面図、図25から図31は図24の半導体集積回路装置の製造工程中における要部断面図である。

【0180】本実施の形態3においては、例えば64MビットDRAMとゲート長が0.25μmの高速ロジック回路とを同一半導体チップ内に有する半導体集積回路装置に適用した場合について説明する。

【0181】図24は本実施の形態3の半導体集積回路装置の半導体チップ1Cの平面図を示している。半導体チップ1Cは、例えば矩形状に形成されたp型のシリコン単結晶の薄片からなり、その主面には、例えば電源電圧2.5V等、電源電圧が1.8Vよりも大きな電圧で駆動する素子の配置領域D1と、電源電圧が1.8Vで駆動する素子の配置領域D2とが配置されている。

【0182】この配置領域D1には、入出力回路I/O、複数ブロックのロジック回路20A、DRAM、フェーズロックドロープ回路PLLおよびクロックパルスジェネレータCPGが配置されている。また、配置領域D2にはロジック回路20Bが配置されている。

【0183】次に、本実施の形態3の半導体集積回路装置の製造方法を図25~図31によって説明する。

【0184】まず、図25に示すように、前記実施の形態1、2と同様にして、半導体基板1の主面に、パッド膜8を熱酸化法等により成長させた後、分離領域2を形成し、続いて、半導体基板1の主面上に、例えば電源電圧2.5Vで駆動するnチャネル形のMIS・FETの形成領域が露出し、かつ、それ以外の領域が覆われるような厚さ5μm程度のフォトレジストパターン7eを形成する。

【0185】その後、埋め込みnウエル3a、3bを形成するために、当該フォトレジストパターン7eをマスクとして、リン等を、前記実施の形態2と同じドーズ量、打ち込みエネルギー等で、半導体基板1の深い位置にイオン打ち込みする。この際、埋め込みnウエル3a、3bに最適な不純物濃度に設定できる。

【0186】次いで、浅いpウエル4a、4bを埋め込みnウエル3a、3b上に自己整合的に形成するために、同じフォトレジストパターン7eをマスクとして、ホウ素を、前記実施の形態1と同じドーズ量、打ち込みエネルギーでイオン打ち込みする。

【0187】この際、本実施の形態3においても、前記実施の形態1、2と同様の理由から浅いpウエル4a、4b領域内に形成されるMIS・FETのしきい電圧や

(20)

特開平11-261021

37

ドレイン電流等のような電気的特性を向上させることが可能となる。また、前記実施の形態1、2と同様に複数のウェル形成を1つのフォトレジストパターン7eを用いて形成するので、製造コストを大幅に低減でき、また、半導体集積回路装置の歩留まりおよび信頼性を向上させることができる。

【0188】次いで、図25に示したフォトレジストパターン7eを除去した後、図26に示すように、半導体基板1の主面上に、前記実施の形態2と同様のフォトレジストパターン7fを形成した後、浅いnウェル5c、5dを形成すべく、フォトレジストパターン7fをマスクとして、前記実施の形態2と同じドーズ量、打込みエネルギーでイオン打ち込みした後、2フッ化ホウ素(BF₃)を、前記実施の形態2と同じドーズ量、打込みエネルギーでイオン打ち込みする。なお、ここでのBF₃のイオン打ち込みは、電源電圧2.5Vで駆動するpチャネル型のMIS・FETのしきい電圧を設定するために打ち込まれている。この浅いnウェル5c、5dには2.5Vが印加される。

【0189】このようにして、64MビットDRAMとゲート長が0.25μmの高速度ロジック回路とを同一半導体チップ内に有する半導体集積回路装置を高い信頼性で、しかも低コストで提供することができるので、半導体産業に与える効果は非常に大である。

【0190】次いで、図26に示したフォトレジストパターン7fを除去した後、図27に示すように、前記実施の形態2で説明したフォトレジストパターン7gを、厚さ2.5μm程度の厚さで形成する。

【0191】続いて、浅いウェル5e、5fを形成すべく、フォトレジストパターン7gをマスクとして、リン等を、前記実施の形態2と同じドーズ量、打込みエネルギーでイオン打ち込みした後、例えば2フッ化ホウ素(BF₃)等を、前記実施の形態2と同じドーズ量、打込みエネルギーでイオン打ち込みする。したがって、前記実施の形態2と同様に浅いnウェル5e、5fの領域内に形成されるMIS・FETのしきい電圧やドレイン電流等の電気的特性を常に最適化できる。

【0192】その後、図27に示したフォトレジストパターン7gを除去した後、図28に示すように、前記実施の形態2と同様に、フォトレジストパターン7hを厚さ2.5μm程度で形成する。

【0193】次いで、チャネルストップ領域10aおよび浅いウェル4cを形成すべく、フォトレジストパターン7hをマスクとして、ホウ素等を、前記実施の形態2と同じくイオン打ち込みした後、例えば2フッ化ホウ素(BF₃)等を前記実施の形態2と同じドーズ量、打込みエネルギーでイオン打ち込みする。

【0194】この際、本実施の形態3でも、前記実施の形態2と同じ理由でその浅いpウェル4cの領域内に形成されるMIS・FETのしきい電圧やドレイン電流等

38

の電気的特性を常に最適化できる。また、1つのフォトレジストパターン7hを用いてnウェル4cおよびチャネルストップ層10aを同時に形成するので、製造コストを大幅に低減でき、半導体集積回路装置の歩留まりおよび信頼性を向上させることができる。

【0195】続いて、図28に示したフォトレジストパターン7hを除去した後、前記実施の形態2と同様に、パッド膜8を除去し、半導体基板1に対して熱酸化処理を施して、図29に示すように、半導体基板1の主面上に、例えば厚さ7nm程度のゲート絶縁膜21iを形成する。なお、このゲート絶縁膜21iは、電源電圧2.5Vで駆動するMIS・FETのゲート絶縁膜となる。

【0196】その後、半導体基板1の主面上に、前記実施の形態2と同様のフォトレジストパターン7iを形成した後、埋め込みウェル3cを形成すべく、フォトレジストパターン7iをマスクとして、リン等を、前記実施の形態2と同じドーズ量、打込みエネルギーでイオン打ち込みする。

【0197】続いて、前記実施の形態2と同様に、フォトレジストパターン7iをエッチングマスクとして、ウェットエッチング処理を施し、電源電圧1.8Vで駆動するMIS・FETの形成領域のゲート絶縁膜21iを図30に示すように除去する。したがって、本実施の形態3においても、製造コストを大幅に低減でき、また、半導体集積回路装置の歩留まりおよび信頼性を向上させることができる。

【0198】その後、フォトレジストパターン7iを除去した後、図31に示すように、電源電圧1.8Vで駆動するMIS・FETの形成領域に、例えばシリコン酸化膜等からなる厚さ5nm程度の薄いゲート絶縁膜22iを形成した後、前記実施の形態2と同様にゲート絶縁膜21i、22i上にゲート電極12g、13gを形成する。

【0199】続いて、pチャネル型のMIS・FETQpおよびnチャネル型のMIS・FETQnのソース・ドレイン用の半導体領域11a、11b、12a、12b、13a、13bおよびウェル給電用の半導体領域23a、23bを通常のイオン注入法等を用いて形成してメモリセル選択用MIS・FETQpチャネル型のMIS・FETQpおよびnチャネル型のMIS・FETQnを形成する。

【0200】なお、電源電圧2.5Vで駆動するnチャネル型のMIS・FETQnが形成された浅いpウェル4b下には埋め込みnウェル3bが形成されているが、浅いpウェル4bの側部はn型半導体領域で取り囲まれることもなく半導体基板1と電気的に接続されているので、半導体基板1から浅いpウェル4bに対しての電位の供給を阻害することはない。

【0201】このMIS・FETのうち、電源電圧2.5Vで駆動するメモリセル選択用MIS・FETQp、pチ

(21)

特開平11-261021

39

チャネル型のMIS・FETQpおよびnチャネル型のMIS・FETQnは、図24の配置領域D1内の回路を構成し、電源電圧1.8Vで駆動するpチャネル型のMIS・FETQpおよびnチャネル型のMIS・FETQnは、図24の配置領域D2内の回路を構成している。

【0202】これ以降は、前記実施の形態1と同じ処理工程を経て半導体集積回路装置を製造する。

【0203】このような本実施の形態3においては、前記実施の形態1で得られた効果の他に、以下の効果を得ることが可能である。

【0204】(1)半導体基板1に0Vを印加し、2.5Vが印加される2.5V系の浅いnウエル5c、5dで囲われた2.5V系の浅いpウエル4aにのみバックバイアスとして-1~-3.3Vを印加し、1.8Vが印加される1.8V系の浅いnウエル5e、5fで囲われた1.8V系の浅いpウエル4cにのみバックバイアスとして-0.5~-1.8Vを印加し、それぞれの電源電圧のMIS・FETのしきい電圧およびオフリーク電流を良好に制御することができた。そして、DRAMのメモリセルのオン電流は、通常の2.5V系のpウエル内に形成した場合と全く同一の値を示した。なお、バックバイアスは、例えばスタンバイ時に印加され、リーク電流を低減できる。MIS・FETの動作時には、例えば0Vが印加され、高速動作を行うことができる。

【0205】(2)ウエル形成用に用いたフォトリソパターン7eをエッチングマスクとしてゲート絶縁膜21iを除去することにより、それらの処理に際して別々のフォトリソパターンを用いる場合に比べて製造コストを大幅に低減することが可能となる。

【0206】(3)ウエル形成用に用いたフォトリソパターン7eをエッチングマスクとしてゲート絶縁膜21iを除去することにより、異物による不良発生率を低減できるので、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となる。

【0207】(実施の形態4)図32は本発明の他の実施の形態である半導体集積回路装置を構成する半導体チップの平面図、図33から図39は図32の半導体集積回路装置の製造工程における要部断面図、図40はフラッシュメモリ(EEPROM)のメモリセルの回路図である。

【0208】本実施の形態4においては、例えば8Mビットフラッシュメモリ(EEPROM)とゲート長が0.25μmの高速ロジック回路とを同一半導体チップ内に設けた半導体集積回路装置に適用した場合について説明する。

【0209】図32は本実施の形態4の半導体集積回路装置の半導体チップ1Cの平面図を示している。半導体チップ1Cは、例えば矩形状に形成されたp型のシリコン単結晶の薄片からなり、その主面には、例えば電源電圧が1.8Vよりも大きな電圧で駆動する素子の配置領域

40

D1と、電源電圧が1.8Vで駆動する素子の配置領域D2とが配置されている。

【0210】この配置領域D1には、入出力回路I/O、複数ブロックのロジック回路20A、フラッシュメモリ(EEPROM)、フェーズロックドループ回路PLLおよびクロックパルスジェネレータCPGが配置されている。また、配置領域D2にはロジック回路20Bが配置されている。

【0211】次に、本実施の形態4の半導体集積回路装置の製造方法を図33~図40によって説明する。

【0212】まず、図33に示すように、前記実施の形態1、2、3と同様に、半導体基板1の主面に、パッド膜8を熱酸化法等により成長させた後、分離領域2を形成し、続いて、半導体基板1の主面上に、メモリセル領域および電源電圧10Vで駆動するnチャネル形のMIS・FETの形成領域が露出し、かつ、それ以外の領域が覆われる厚さ5μm程度のフォトリソパターン7eを形成する。

【0213】その後、高耐圧系の埋め込みnウエル3a、3bを形成すべく、当該フォトリソパターン7eをマスクとして、リン等を、前記実施の形態2、3と同じドーザ置、打ち込みエネルギーで半導体基板1の深い位置にイオン打ち込みする。この際、埋め込みnウエル3a、3bに最適な不純物濃度に設定できる。

【0214】次いで、高耐圧系の浅いpウエル4a、4bを埋め込みnウエル3a、3b上に自己整合的に形成すべく、同じフォトリソパターン7eをマスクとして、ホウ素を、前記実施の形態2、3と同じドーザ置、打ち込みエネルギーでイオン打ち込みする。

【0215】この際、本実施の形態4においては、高耐圧系の浅いpウエル4a、4bの不純物濃度を、高耐圧系の埋め込みnウエル3a、3bとは独立して最適な不純物濃度に設定できるので、この浅いpウエル4a、4b領域内に形成されるMIS・FETのしきい電圧やドレイン電流等のような電気的特性を向上させることが可能となる。しかも、埋め込みnウエル3a、3bおよび浅いpウエル4a、4bを1つのフォトリソパターン7eを用いて形成するので、製造コストを大幅に低減でき、また、半導体集積回路装置の歩留まりおよび信頼性を向上させることができる。

【0216】次いで、図33に示したフォトリソパターン7eを除去した後、図34に示すように、半導体基板1の主面上に、例えば電源電圧10Vで駆動するnチャネル型のMIS・FETの形成領域の外周領域が露出し、かつ、他の領域が被覆されるような厚さ4μm程度のフォトリソパターン7fを形成する。

【0217】続いて、高耐圧系の浅いnウエル5c、5dを半導体基板1に形成するために、フォトリソパターン7fをマスクとして、リン等を、前記実施の形態2、3と同じドーザ置、打ち込みエネルギーでイオン打ち

(22)

特開平11-261021

41

42

込みした後、2フッ化ホウ素(BF₃)を、前記実施の形態2、3と同じドーズ量、打込みエネルギーでイオン打ち込みする。なお、ここでのBF₃のイオン打ち込みは、電源電圧10Vで駆動するpチャネル型のMIS・FETのしきい電圧を設定のためである。

【0218】このような本実施の形態4でも、前記実施の形態2、3と同様の理由から浅いpウエル4a、4bおよび浅いnウエル5c、5dの領域内に形成されるMIS・FETのしきい電圧やドレイン電流等の電気的特性を常に最適化できる。

【0219】しかも、埋め込みnウエル3a、3b、浅いpウエル4a、4bおよび浅いnウエル5c、5dを2つのフォトリソパターン7e、7fのみで形成できるので、フォトリソパターンの形成工程を削減できる。このため、半導体集積回路装置の製造コストを低減でき、また、半導体集積回路装置の歩留まりを向上させることができる。

【0220】また、本実施の形態4でも、前記実施の形態2、3と同じ理由から浅いウエル5aの耐圧を確保することができ、ウエル分離領域における浅いウエル4aと半導体基板1との電気的な分離能力を確保することが可能となる。

【0221】次いで、図34に示したフォトリソパターン7fを除去した後、図35に示すように、半導体基板1の主面上に、前記実施の形態2と同様のフォトリソパターン7gを形成し、続いて、半導体基板1に、1.8Vが印加される1.8V系の浅いnウエル5e、5fを形成すべく、フォトリソパターン7gをマスクとして、リン等を、前記実施の形態2、3と同じドーズ量、打込みエネルギーでイオン打ち込みした後、例えば2フッ化ホウ素(BF₃)等を、前記実施の形態2、3と同じドーズ量、打込みエネルギーでイオン打ち込みする。

【0222】その後、図35に示したフォトリソパターン7gを除去した後、図36に示すように、半導体基板1の主面上に、前記実施の形態2のフォトリソパターン7hを形成し、チャネルストッパ領域10a、浅いnウエル4cを形成すべく、さらにそれをマスクとして、ホウ素等を、前記実施の形態2、3と同じドーズ量、打込みエネルギーでイオン打ち込みした後、例えば2フッ化ホウ素(BF₃)等を、前記実施の形態2、3と同じドーズ量、打込みエネルギーでイオン打ち込みする。

【0223】続いて、図36に示したフォトリソパターン7hを除去した後、半導体基板1の主面上のパッド8を除去し、半導体基板に対して熱酸化処理を施すことにより、図37に示すように、半導体基板1の主面上に、例えば厚さ20nm程度のゲート絶縁膜24iを形成する。なお、このゲート絶縁膜24iは、電源電圧10Vで駆動する高耐圧系のMIS・FETのゲート絶

縁膜となる。

【0224】その後、半導体基板1の主面上に、前記実施の形態2と同様のフォトリソパターン7iを形成した後、埋め込みウエル3cを形成すべく、リン等を、前記実施の形態2、3と同じドーズ量、打込みエネルギーでイオン打ち込みする。

【0225】続いて、ウエル形成時にマスクとして用いたフォトリソパターン7iをエッチングマスクとして、半導体基板1に対してウェットエッチング処理を施すことにより、電源電圧1.8Vで駆動するMIS・FETの形成領域におけるゲート絶縁膜24iを図38に示すように除去する。したがって、本実施の形態4においても、製造コストを大幅に低減でき、半導体集積回路装置の歩留まりおよび信頼性を向上させることができる。

【0226】その後、フォトリソパターン7iを除去した後、図39に示すように、前記実施の形態2、3と同様に電源電圧1.8Vで駆動するMIS・FETの形成領域に厚さ5nm程度の薄いゲート絶縁膜22iを形成する。

【0227】次いで、メモリセル領域のゲート絶縁膜24iをエッチング処理によって除去した後、メモリセル形成領域に、例えば厚さ11nm程度のシリコン酸化膜等からなるトンネル絶縁膜25iを形成する。

【0228】続いて、半導体基板1上に、所定の導体膜を堆積した後、これをフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより、ゲート絶縁膜21i、22i上にゲート電極12g、13gを形成し、トンネル絶縁膜25i上にフローティングゲート電極25fgを形成する。

【0229】続いて、メモリセル領域における半導体領域25a、25b、pチャネル型のMIS・FETQpおよびnチャネル型のMIS・FETQnのソース・ドレイン用の半導体領域12a、12b、13a、13bおよびウエル給電用の半導体領域23a、23bを通常のイオン注入法等を用いて形成する。

【0230】その後、フローティングゲート電極25fg上に層間膜25Liを形成した後、その上にコントロールゲート電極25cgを形成してフラッシュメモリ(EEPROM)の2層ゲート構造のメモリセルMCを形成する。なお、このメモリセルMCの回路図を図40に示す。メモリセルMCはビット線BLとワード線WLとの交点近傍に配置されている。メモリセルMCのコントロールゲート電極はワード線WLに電気的に接続され、ドレイン領域はビット線BLと電気的に接続され、ソース領域はソース線SLと電気的に接続されている。

【0231】これによりメモリセル、pチャネル型のMIS・FETQpおよびnチャネル型のMIS・FETQnを形成する。なお、電源電圧10Vで駆動するnチャネル型のMIS・FETQnが形成された浅いpウエル4b下には埋め込みnウエル3bが形成されている

(23)

特開平11-261021

43

44

が、浅いpウェル4bは半導体基板1と電気的に接続されており、浅いpウェル4bへは半導体基板1からの電位の供給が可能である。

【0232】このMIS・FET等のうち、メモリセル、電源電圧10Vで駆動するpチャネル型のMIS・FETQpおよびnチャネル型のMIS・FETQnは、図32の配置領域D1内の回路を構成し、電源電圧1.8Vで駆動するpチャネル型のMIS・FETQpおよびnチャネル型のMIS・FETQnは、図32の配置領域D2内の回路を構成している。

【0233】その後、フラッシュメモリ（EEPROM）を含む半導体集積回路装置の通常の配線形成工程、表面保護膜形成工程を経て半導体集積回路装置を製造する。

【0234】このような本実施の形態4においては、前記実施の形態1で得られた効果の他に、以下の効果を得ることが可能である。

【0235】(1)高耐圧系の浅いnウェル5c、5dで囲われた高耐圧系の浅いpウェル4aにのみバックバイアスとして-1.3Vを印加し、1.8V系の浅いnウェル5e、5fで囲われた1.8V系の浅いpウェル4cにのみバックバイアスとして-1.8Vを印加したが、ウェル耐圧はいずれも問題が生じなかった。

【0236】(2)ウェル形成用に用いたフォトレジストパターン71をエッチングマスクとしてゲート絶縁膜211を除去することにより、それらの処理に際して別々のフォトレジストパターンを用いる場合に比べて製造コストを低減することが可能となる。

【0237】(3)ウェル形成用に用いたフォトレジストパターン71をエッチングマスクとしてゲート絶縁膜211を除去することにより、異物による不良発生率を低減できるので、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となる。

【0238】（実施の形態5）図41～図45は本発明の一実施の形態である半導体集積回路装置の製造工程中における要部断面図、図46は本実施の形態5の半導体集積回路装置のキャッシュメモリにおける素子レイアウト平面図、図47はキャッシュメモリのメモリセルの回路図、図57および図58は本発明者が検討した半導体集積回路装置の問題点を説明するための半導体基板の部分断面図である。

【0239】まず、本実施の形態5の説明に先立って本発明者が見出したウェル形成技術の問題点について説明する。

【0240】図57は本発明者が検討した半導体集積回路装置の製造工程中における部分断面図を模式的に示している。半導体基板60は、例えばp型のシリコン単結晶からなり、その主面の素子分離領域には溝型の分離領域61が形成されている。なお、これは溝型の分離領域61に限定されず、フィールド絶縁膜による分離領域に

あっても同じである。

【0241】図57において分離領域61の左側はpチャネル型のMIS・FETの形成領域であり、分離領域61の右側はnチャネル型のMIS・FETの形成領域であるとする。

【0242】この場合に、前記実施の形態1等で説明した本発明を適用して半導体基板1において、nチャネル型のMIS・FETの形成領域にpウェルおよび埋め込みnウェルを形成するために、この半導体基板60の主面上には、nチャネル型のMIS・FETの形成領域を露出させ、かつ、pチャネル型のMIS・FETの形成領域を覆うフォトレジストパターン62が形成されている。なお、この図57ではフォトレジストパターン62の端部が分離領域61上に位置するように図示されている。

【0243】ところで、そのフォトレジストパターン62の端部の側面には、図57に示すように、テーバ（図57では逆テーバ）が形成される場合がある。この状態は、例えば不純物を半導体基板60の深い位置まで打ち込むべく、フォトレジストパターン62を厚くするにつれて特に顕著となる。

【0244】このような場合に、ウェル形成用の不純物をフォトレジストパターン62をマスクとして半導体基板60にイオン打ち込みすると、図58に示すように、nチャネル型のMIS・FET形成領域において、pウェル63や埋め込みnウェル64の分離領域61側の下方端部における不純物分布が設計通りにいかず、特に、埋め込みnウェル64の端部が半導体基板60の主面側にせり上がるような不純物分布となる。この結果、当該ウェルにおいて耐圧不良やリークの問題が生じてしまう。この問題は、特に、pチャネル型のMIS・FETとnチャネル型のMIS・FETとの境界領域にあたる分離領域61の幅が狭くなるにつれて顕著となる。

【0245】また、フォトレジストパターン62が順テーバで形成された場合も同様の問題が生じる。すなわち、pウェル63形成のために導入される不純物がpチャネル型のMIS・FET形成領域に導入されるため分離領域61の下部のpチャネル型のMIS・FET形成領域の不純物分布が設計通りにいかないからである。

【0246】そこで、そのような場合、本実施の形態5においては、nチャネル型のMIS・FETの形成領域およびpチャネル型のMIS・FETの形成領域の境界領域に位置する分離領域2上にフォトレジストパターンの端部が配置されないように、nチャネル型のMIS・FETの形成領域およびpチャネル型のMIS・FETの形成領域の両方が露出するようなフォトレジストパターンを設け、nチャネル型のMIS・FETの形成領域およびpチャネル型のMIS・FETの形成領域の両方にpウェルや埋め込みnウェルを形成するための不純物をイオン注入し、さらに、pチャネル型のMIS・FET

(24)

特開平11-261021

45

Tの形成領域には後からn型不純物を打ち込むことでnウェルを形成する。

【0247】次に、その具体例を説明する。本実施の形態5では、本発明の技術思想を、例えばキャッシュメモリを有する半導体集積回路装置に適用した場合について説明する。

【0248】図41は本実施の形態5の半導体集積回路装置の製造工程における要部断面図を示している。なお、図41にはキャッシュメモリ領域、埋め込みウェルが不要な電源電圧3.3Vで駆動するMIS・FET形成領域および埋め込みウェルが必要な電源電圧1.8Vまたは3.3Vで駆動するMIS・FET形成領域が示されている。

【0249】まず、前記実施の形態1～4と同様に、半導体基板1の主面に、例えば厚さ20nmのシリコン酸化膜等からなるパッド膜8を熱酸化法等により成長させた後、分離領域2を形成する。

【0250】この分離領域2のうち、キャッシュメモリの形成領域において、pチャネル型のMIS・FETの形成領域とnチャネル型のMIS・FETの形成領域との境界に位置する分離領域2は、キャッシュメモリの占有面積を小さくする関係上、分離領域2の幅も、他の領域の分離領域2の幅よりも狭く、その幅は、例えば0.9μm～1.5μm程度である。

【0251】続いて、図42に示すように、半導体基板1の主面上に、キャッシュメモリ領域（第1ウェル領域）およびnチャネル形のMIS・FETの形成領域（第2ウェル領域）が露出し、かつ、それ以外の領域が覆われるような厚さ5μm程度のフォトリソパターン（第1マスク）7jを形成する。

【0252】ここで、本実施の形態5においては、キャッシュメモリの形成領域におけるpチャネル型のMIS・FETの形成領域もフォトリソパターン7jで覆われず露出されるようにしている。これは、キャッシュメモリの形成領域におけるpチャネル型のMIS・FET形成領域とnチャネル型のMIS・FET形成領域との境界領域における分離領域2は、上述のように幅が狭いので、ここにpチャネルMIS・FET形成領域を覆うようにフォトリソパターン7jの端部を配置すると、上記した問題が生じるのを防止するためである。

【0253】その後、埋め込みnウェル3a、3bを形成するために、当該フォトリソパターン7jをマスクとして、リン等を、例えば加速エネルギー2300keV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ の条件で、半導体基板1の深い位置にイオン打ち込みする。この際、埋め込みnウェル3a、3bに最適な不純物濃度に設定できる。

【0254】次いで、浅いpウェル4a、4bを埋め込みnウェル3a、3b上に自己整合的に形成するため

46

に、同じフォトリソパターン7jをマスクとして、ホウ素を、例えば加速エネルギー450keV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ の条件、加速エネルギー200keV、ドーズ量 $3 \times 10^{13}/\text{cm}^2$ の条件および加速エネルギー50keV、ドーズ量 $1.2 \times 10^{13}/\text{cm}^2$ の条件の3つの条件でイオン打ち込みする。

【0255】この際、本実施の形態5においても、浅いpウェル4a、4bの不純物濃度を埋め込みnウェル3a、3bとは独立して最適な不純物濃度に設定できるので、この浅いpウェル4a、4b領域内に形成されるMIS・FETのしきい電圧やドレイン電流等のような電気的特性を向上させることが可能となる。

【0256】しかも、埋め込みnウェル3a、3bおよび浅いpウェル4a、4bを各々別々のフォトリソパターンを用いて形成せず、1つのフォトリソパターン7jを用いて形成するので、製造コストを大幅に低減でき、また、半導体集積回路装置の歩留まりおよび信頼性を向上させることができる。

【0257】この段階では、キャッシュメモリのpチャネル型のMIS・FET形成領域にも浅いpウェル4aが形成される。したがって、nチャネル型のMIS・FETの形成領域の浅いpウェル4aに、上記した不純物濃度分布の問題が生じるのを防止することが可能となっている。

【0258】次いで、図42に示したフォトリソパターン7jを除去した後、図43に示すように、半導体基板1の主面上に、例えばキャッシュメモリにおけるpチャネル型のMIS・FET形成領域、キャッシュメモリにおける浅いpウェル4aの外周領域（第3ウェル領域）、埋め込みウェルが必要な領域における浅いpウェル4aの外周領域（第3ウェル領域）および埋め込みウェルが必要な領域におけるpチャネル型のMIS・FETの形成領域（第4ウェル領域）が露出し、かつ、他の領域が被覆されるような厚さ4μm程度のフォトリソパターン（第2マスク）7kを形成する。

【0259】続いて、浅いnウェル5g～5kを半導体基板1に形成するために、フォトリソパターン7kをマスクとして、リン等を、例えば加速エネルギー360keV、ドーズ量 $1.3 \times 10^{13}/\text{cm}^2$ の条件および加速エネルギー70keV、ドーズ量 $1 \times 10^{14}/\text{cm}^2$ の条件の2つの条件でイオン打ち込みした後、2フッ化ホウ素（BF₃）を、例えば加速エネルギー70keV、ドーズ量 $2 \times 10^{14}/\text{cm}^2$ の条件でイオン打ち込みする。なお、ここでのBF₃のイオン打ち込みは、pチャネル型のMIS・FETのしきい電圧を設定するために打ち込まれている。

【0260】この際のイオン打ち込みエネルギーは、浅いウェル5kの下部が埋め込みnウェル3aに達する程度に設定する。これにより、キャッシュメモリの形成領域に浅いnウェル5kおよび浅いpウェル4aを形成で

(25)

特開平11-261021

47

きる。そして、この浅いpウエル4aは、浅いnウエル5k、5gおよび埋め込みnウエル3aによって囲まれており半導体基板1とは電気的に分離されている。したがって、この浅いpウエル4aには、半導体基板1に印加される電圧とは異なる電圧を印加できる。この浅いpウエル4aには、例えば0〜1.8Vの電圧が印加される。

【0261】また、埋め込みnウエル3aおよび浅いnウエル5gは、浅いnウエル5kとは電気的に分離されているため、別々の電位供給が可能である。すなわち、浅いnウエル5gには、例えば3.3V程度の電圧を印加でき、埋め込みnウエル3aおよび浅いnウエル5gには、例えば1.8V程度の電圧を印加できる。

【0262】この浅いnウエル5gは、キャッシュメモリの形成領域における浅いpウエル4aの側面を取り囲むように形成され、その下部は埋め込みnウエル3aの上部に重なり電気的に接続されている。この浅いnウエル5gの幅は、特に限定されないが、例えば4μm程度である。

【0263】また、この浅いnウエル5j、5jは、埋め込みウエルが必要なMIS・FET形成領域における浅いpウエル4aの側面を取り囲むように形成され、その下部は埋め込みnウエル3aの上部に重なり電気的に接続されている。すなわち、この浅いpウエル4aは、浅いnウエル5gおよび埋め込みnウエル3aによって囲まれており半導体基板1とは電気的に分離されている。ただし、この浅いpウエル4aには、半導体基板1と同じく、例えば0V（GND）電圧が印加されている。浅いpウエル4aの供給電圧は半導体基板1への供給電圧と同じであるが、浅いpウエル4aは半導体基板1とは電気的に分離されているので、半導体基板1からのノイズを受けることがない。したがって、浅いpウエル4aに形成される素子の動作信頼性を向上させることが可能となる。

【0264】また、浅いnウエル5kには、キャッシュメモリのpチャネル型のMIS・FETが形成される。すなわち、キャッシュメモリのpチャネル型のMIS・FET形成領域においては、他の浅いnウエル5g〜5jを形成する際に、浅いpウエル4aの導電型が反転されて、浅いnウエル5kを形成することができる。

【0265】このような本実施の形態5でも、前記実施の形態1〜4と同じ理由により、浅いpウエル4a、4bおよび浅いnウエル5g〜5kの領域内に形成されるMIS・FETのしきい電圧やドレイン電流等の電気的特性を常に最適化できる。

【0266】しかも、埋め込みnウエル3a、3b、浅いpウエル4a、4bおよび浅いnウエル5g〜5kを2つのフォトリソパターン7j、7kのみで形成できるので、前記実施の形態1〜4と同様に、半導体集積回路装置の製造コストを低減でき、また、半導体集積回

48

路装置の歩留まりを向上させることができる。

【0267】次いで、次の工程に入ると、キャッシュメモリにおけるnウエル5kの不純物濃度の設定をさらに向上させることが可能となる。すなわち、図43に示したフォトリソパターン7kを除去した後、図44に示すように、キャッシュメモリのpチャネル型のMIS・FET形成領域が露出され、かつ、その他の領域が覆われるようなフォトリソパターン7mを形成する。

【0268】そして、半導体基板1に、浅いnウエル5kを形成するために、フォトリソパターン7mをマスクとして、リン等を、イオン打ち込みする。ここでの不純物イオンのドーピングは、導電型が良好になるように設定する。また、イオン打ち込みエネルギーは、浅いnウエル5kの下部が埋め込みnウエル3aに達する程度に設定する。これにより、キャッシュメモリの形成領域に浅いnウエル5kおよび浅いpウエル4aを形成することができる。

【0269】その後、図43に示したフォトリソパターン7kまたは図44に示したフォトリソパターン7mを除去した後、図45に示すように、ゲート絶縁膜12i、13iを同時形成し、浅いpウエル4a、4bの領域内にnチャネル型のMIS・FETQn、Qndを形成し、浅いnウエル5h〜5kの領域内にpチャネル型のMIS・FETQp、Qprを形成する。

【0270】その後、キャッシュメモリを含む半導体集積回路装置の通常の配線形成工程、表面保護膜形成工程を経て半導体集積回路装置を製造する。

【0271】このようにして製造された半導体集積回路装置のキャッシュメモリにおけるメモリスルの素子レイアウト平面図を図46に示す。また、このメモリスルの回路図を図47に示す。

【0272】nチャネル型のMIS・FETQndは、メモリスルの駆動用MIS・FETとして機能している。また、pチャネル型のMIS・FETQprは、負荷用のMIS・FETとして機能している。このMIS・FETQndとMIS・FETQprのゲート電極13g、12gは、同じ導体膜で一体的にパターンニングされている。

【0273】図46の左側のMIS・FETQndのゲート電極13gは、右側のMIS・FETQndの半導体領域13aに電気的に接続され、図46の右側のMIS・FETQndのゲート電極13gは負荷用のMIS・FETQprの半導体領域12aと電気的に接続されている。

【0274】また、MIS・FETQndの半導体領域13aは、転送用のnチャネル型のMIS・FETQtの一方の半導体領域を兼ねており、MIS・FETQtを介してビット線BL1、BL2と電気的に接続されている。なお、MIS・FETQtのゲート電極はワード線

(26)

特開平11-261021

49

WLの一部で構成されている。また、ビット線BL1、BL2には互いに反転した信号が伝送されるようになって

【0275】このような本実施の形態5においては、前記実施の形態1で得られた効果の他に、以下の効果を得ることが可能である。

【0276】(1) キャッシュメモリの形成領域のnチャネル型のMIS・FET形成領域とpチャネル型のMIS・FET形成領域との境界領域において、浅いpウエル4aおよび埋め込みnウエル3aの不純物濃度分布が半導体基板1の主面側にせり上がるのを防止することができるので、そのせり上がりに起因するウエル耐圧不良やリークの問題を回避することが可能となる。

【0277】(実施の形態6) 図48～図53は本発明の一実施の形態である半導体集積回路装置の製造工程中における要部断面図である。

【0278】本実施の形態6では、本発明の技術思想を、例えばキャッシュメモリと高耐圧系のMIS・FETとを同一半導体チップ内に有する半導体集積回路装置に適用した場合について説明する。

【0279】図48は本実施の形態6の半導体集積回路装置の製造工程中における要部断面図を示している。なお、図48には、キャッシュメモリの形成領域、埋め込みウエルが不要な電源電圧3.3Vで駆動するMIS・FET形成領域、埋め込みウエルが必要な電源電圧1.8Vまたは3.3Vで駆動するMIS・FET形成領域、埋め込みウエルが必要な電源電圧1.2Vで駆動する高耐圧系のMIS・FET形成領域および上記したフラッシュメモリ(EEPROM)またはDRAM等が形成されるメモリセル領域が示されている。

【0280】まず、前記実施の形態1～5と同様に、半導体基板1の主面に、パッド膜8を熱酸化法等により成長させた後、分離領域2を形成する。この分離領域2のうち、キャッシュメモリの形成領域において、pチャネル型のMIS・FETの形成領域とnチャネル型のMIS・FETの形成領域との境界に位置する分離領域2は、前記実施の形態5と同様に、その幅が、他の領域の分離領域2の幅よりも狭く、例えば $0.9\mu\text{m} \sim 1.5\mu\text{m}$ 程度である。

【0281】続いて、図49に示すように、半導体基板1の主面上に、フォトリソパターン7jを形成する。本実施の形態6においても、キャッシュメモリの形成領域におけるpチャネル型のMIS・FETの形成領域もフォトリソパターン7jで覆われず露出されるようにしている。

【0282】その後、埋め込みnウエル3a、3bを形成するために、当該フォトリソパターン7jをマスクとして、リン等を、前記実施の形態5と同じドーズ量、打込みエネルギーで、半導体基板1の深い位置にイオン打ち込みする。この際、埋め込みnウエル3a、3

50

bに最適な不純物濃度に設定できる。

【0283】次いで、浅いpウエル4a、4bを埋め込みnウエル3a、3b上に自己整合的に形成するために、同じフォトリソパターン7jをマスクとして、ホウ素を、前記実施の形態5と同じドーズ量、打込みエネルギーでイオン打ち込みする。

【0284】この際、本実施の形態6においては、前記実施の形態5と同様に浅いpウエル4a、4bの不純物濃度を埋め込みnウエル3a、3bとは独立して最適な不純物濃度に設定でき、この浅いpウエル4a、4b領域内のMIS・FETの電気的特性を向上できる。

【0285】しかも、埋め込みnウエル3a、3bおよび浅いpウエル4a、4bを1つのフォトリソパターン7jで形成するので、前記実施の形態5と同様に製造コストを大幅に低減でき、また、半導体集積回路装置の歩留まりおよび信頼性を向上できる。

【0286】次いで、図49に示したフォトリソパターン7jを除去した後、図50に示すように、半導体基板1の主面上に、フォトリソパターン7kを形成する。このフォトリソパターン7kは、例えばキャッシュメモリにおける浅いpウエル4aのpチャネル型MIS・FET形成領域、その浅いpウエル4aの外周領域、埋め込みウエルが不要な3.3V系のpチャネル型のMIS・FET形成領域、埋め込みウエルが必要な1.8Vまたは3.3V系のpチャネル型のMIS・FET形成領域、埋め込みウエルが必要な1.8Vまたは3.3V系の浅いpウエル4aの外周領域、高耐圧系のMIS・FET形成領域におけるpチャネル型のMIS・FET形成領域、高耐圧系のMIS・FET形成領域における浅いpウエル4aの外周領域およびメモリセル領域における浅いpウエル4aの外周領域が露出し、かつ、他の領域が被覆されるように形成されている。

【0287】続いて、浅いnウエル5g～5j、5m、5n、5p、5qおよび浅いウエル5k1を半導体基板1に形成するために、フォトリソパターン7kをマスクとして、リン等を、例えば加速エネルギー1300keV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ の条件、加速エネルギー600keV、ドーズ量 $5 \times 10^{11}/\text{cm}^2$ の条件および加速エネルギー200keV、ドーズ量 $5 \times 10^{13}/\text{cm}^2$ の条件の3つの条件でイオン打ち込みした後、2フッ化ホウ素(BF₂)を、例えば加速エネルギー70keV、ドーズ量 $2 \times 10^{14}/\text{cm}^2$ の条件でイオン打ち込みする。なお、ここでのBF₂のイオン打ち込みは、pチャネル型のMIS・FETのしきい電圧を設定するために打ち込まれている。

【0288】この浅いnウエル5i、5jは、埋め込みウエルが必要なMIS・FET形成領域における浅いpウエル4aの側面を取り囲むように形成され、その下部は埋め込みnウエル3aの上部に重なり電気的に接続されている。すなわち、この浅いpウエル4aは、浅いn

(27)

特開平11-261021

51

ウエル5j, 5jおよび埋め込みnウエル3aによって囲まれており半導体基板1とは電気的に分離されている。したがって、この浅いpウエル4aには、半導体基板1に印加される電圧とは異なる電圧を印加することが可能となっている。なお、この浅いpウエル4aには、例えば0〜3.3Vの電圧が印加される。

【0289】また、この浅いnウエル5n, 5mは、高耐圧系のMIS・FET形成領域における浅いpウエル4aの側面を取り囲むように形成され、その下部は埋め込みnウエル3aの上部に重なり電気的に接続されており、浅いpウエル4aは、浅いnウエル5n, 5mおよび埋め込みnウエル3aによって囲まれ半導体基板1とは電気的に分離されている。したがって、この浅いpウエル4aには、半導体基板1に印加される電圧とは異なる電圧を印加することが可能となっている。なお、この浅いpウエル4aには、例えば0〜1.2Vの電圧が印加される。

【0290】また、この浅いnウエル5p, 5qは、メモリセル形成領域における浅いpウエル4aの側面を取り囲むように形成され、その下部は埋め込みnウエル3aの上部に重なり電気的に接続されており、浅いpウエル4aは、浅いnウエル5p, 5qおよび埋め込みnウエル3aによって囲まれ半導体基板1とは電気的に分離されている。したがって、この浅いpウエル4aには、半導体基板1に印加される電圧とは異なる電圧を印加することが可能となっている。なお、この浅いpウエル4aには、例えば0〜1.2Vの電圧が印加される。

【0291】さらに、浅いウエル5k1には、キャッシュメモリのpチャネル型のMIS・FETが形成されるようになっている。ただし、本実施の形態6では、導電型を完全に反転させるような充分な不純物導入は行われていない。もちろん、前記実施の形態5と同様に、この段階で、充分な不純物導入を行っても良い。

【0292】このような本実施の形態6では、各々の浅いpウエル4a, 4b、浅いnウエル5g〜5j, 5m, 5n, 5p, 5qおよび浅いウエル5k1の不純物濃度をそれぞれに最適な値に独立して設定できるので、そのウエル4a, 4bおよび浅いnウエル5g〜5j, 5m, 5n, 5p, 5qの領域内に形成されるMIS・FETのしきい電圧やドレイン電流等の電気的特性を常に最適化できる。

【0293】しかも、埋め込みnウエル3a, 3b、浅いpウエル4a, 4bおよび浅いnウエル5g〜5j, 5m, 5n, 5p, 5qを2つのフォトリソパターン7j, 7kのみで形成することができるので、前記実施の形態1〜5と同様に半導体集積回路装置の製造コストを低減でき、また、半導体集積回路装置の歩留まりを向上させることができる。

【0294】これらにより、キャッシュメモリおよび高耐圧MIS・FETを有する半導体集積回路装置を高い

52

信頼性で、しかも低コストで提供することができるので、半導体産業に与える効果は非常に大である。

【0295】次いで、図50に示したフォトリソパターン7kを除去した後、図51に示すように、キャッシュメモリのpチャネル型のMIS・FET形成領域、埋め込みウエル画布用な3.3V系のpチャネル型のMIS・FET形成領域および埋め込みウエルが必要な1.8V/3.3V系のpチャネル型のMIS・FET形成領域が露出され、かつ、その他の領域が覆われるようなフォトリソパターン7mを形成する。

【0296】続いて、半導体基板1に、浅いnウエル5k1, 浅いnウエル5h, 5iの不純物濃度あるいは導電型の最適化を図るために半導体領域26aを形成すべく、フォトリソパターン7mをマスクとして、リン等を、例えば加速エネルギー360keV、ドーズ量 $1.3 \times 10^{11}/\text{cm}^2$ の条件でイオン打ち込みする。

【0297】ここでの不純物イオンのドーズ量は、キャッシュメモリのpMIS・FET形成領域では、半導体基板1の導電型がp型（浅いpウエル4a）からn型に反転する程度に設定する。また、浅いnウエル5h, 5iの不純物濃度が最適になるように設定する。

【0298】これにより、キャッシュメモリの形成領域に浅いnウエル5kおよび浅いpウエル4aを形成することができる。この場合の浅いnウエル5kは、浅いウエル5k1と半導体領域26aとの和で形成されている。この浅いnウエル5k, 5gに囲まれた浅いpウエル4aは、半導体基板1とは電気的に分離されており、半導体基板1に印加される電圧とは異なる電圧を印加することが可能となっている。なお、この浅いpウエル4aには、例えば0〜1.8Vの電圧が印加される。

【0299】また、高耐圧MIS・FETを設ける関係上、後の段階で必要な他のウエルへの不純物導入と同時に、キャッシュメモリのpチャネル型のMIS・FET領域の浅いウエル5kの導電型設定のための不純物導入工程を行うので、マスクの増加を防止でき、また、異物発生率を低減でき歩留まり向上を図れる。

【0300】その後、図51に示したフォトリソパターン7mを除去した後、図52に示すように、不純物濃度の最適化を図るべく浅いpウエル4a, 4bにp型の半導体領域26bをフォトリソグラフィ技術およびイオン導入技術によって形成する。半導体領域26bには、例えばホウ素を導入する。

【0301】このような半導体領域26a, 26bを形成する理由は、3.3V系のMIS・FET, 1.8V系のMIS・FETおよびキャッシュメモリにおけるMIS・FETのウエルの不純物濃度はほぼ同一だが、そのウエルの不純物濃度は、高耐圧系のMIS・FETのウエルの不純物濃度とは異なり、高耐圧系のウエルの不純物濃度よりも高くする必要があるからである。

【0302】その後、図53に示すように、半導体基板

(28)

特開平11-261021

53

1の主面上に、ゲート絶縁膜121、131、211を同時形成した後、浅いpウェル4a、4bの領域内にnチャネル型のMIS-FETQn、Qnd、Qを形成し、浅いnウェル5h~5kの領域内にpチャネル型のMIS-FETQp、Qprを形成する。

【0303】なお、埋め込みウェルが不要な領域のnチャネル型のMIS-FETQnが形成された浅いpウェル4b下には埋め込みnウェル3bが形成されているが、前記実施の形態1~5と同様に、ここは、半導体基板1と電気的に接続されているので、半導体基板1から電位の供給が可能となっている。

【0304】その後、通常の配線形成工程、表面保護膜形成工程を経て半導体集積回路装置を製造する。なお、キャッシュメモリにおけるメモリセルの素子レイアウト平面図およびメモリセルの回路図は前記実施の形態5と同じなので説明を省略する。また、DRAMにおけるキャパシタ19を含む断面構造についても前記実施の形態1等と同じなので説明を省略する。

【0305】このような本実施の形態6においては、前記実施の形態1で得られた効果の他に、以下の効果を得ることが可能である。

【0306】(1)高耐圧系のMIS-FETを有する半導体集積回路装置の製造方法に、本発明の技術思想を適用した場合に、高耐圧系のMIS-FET以外のMIS-FETにおけるウェルにn型またはp型の半導体領域26a、26bを形成することにより、そのウェルの不純物濃度の不足分を補うことが可能となる。

【0307】(2)キャッシュメモリ、高耐圧系MIS-FET、通常のMIS-FETおよび他のメモリセルを同一半導体チップに形成する場合に、不具合を生じることなく、かつ、所定のプロセスを異なる複数の領域で同時に行うことで製造工程を簡略化し、その各々の素子形成領域の形成プロセスを1つの半導体集積回路装置の製造プロセスとして融合させて半導体集積回路装置を製造することが可能となる。

【0308】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態1~6に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0309】例えば前記実施の形態1~6においては、分能領域を溝型とした場合について説明したが、これに限定されるものではなく種々変更可能であり、例えば選択酸化法等で形成したフィールド絶縁膜による分能構造としても良い。

【0310】また、半導体基板には、半導体基板にエピタキシャル層を形成してなる、いわゆるエピタキシャルウェルも含むものである。この場合、例えば所定導電型のシリコン単結晶からなる半導体基板の表面には、例えばシリコン単結晶からなるエピタキシャル層がエピタキ

54

シャル法によって形成されている。このエピタキシャル層の厚さは、特に限定されないが、5μm以下が好ましい。

【0311】また、前記実施の形態1、3、6においてはDRAMの情報蓄積用のキャパシタをクラウン型とした場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばフィン型としても良い。

【0312】また、前記実施の形態1、3、6においてはDRAMの情報蓄積用のキャパシタの容量絶縁膜を通常の絶縁膜とした場合について説明したが、これに限定されるものではなく、例えば情報蓄積用のキャパシタの容量絶縁膜の材料としてPZT等のような強誘電体材料を用いることで強誘電体メモリを構成するようにしても良い。

【0313】また、前記実施の形態2、3、4の変形例として次のようにしても良い。まず、図16等においてロジック回路領域における1.8V系のMIS-FET領域（バックバイアス有り）が露出するフォトレジストパターン（図22等のフォトレジストパターン7iに相当）を形成した後、これをマスクとしてリン等を半導体基板にイオン打ち込みする。ここでは、半導体基板の主面から深い位置にまで広がる深いnウェルが形成される条件でイオン打ち込みする。続いて、そのフォトレジストパターンを除去した後、ロジック回路領域における1.8V系のMIS-FET領域（バックバイアス有り）のnチャネル型のMIS-FET領域が露出するフォトレジストパターン（図20等のフォトレジストパターン20iに相当）を形成した後、これをマスクとしてホウ素等を半導体基板にイオン打ち込みする。ここでは、半導体基板の主面から浅い位置まで広がり、かつ、深いnウェルの導電型が反転して浅いpウェルが形成される条件でイオン打ち込みし、上記した深いnウェルに囲まれる浅いpウェルを形成する。この浅いpウェルは、深いnウェルによって取り囲まれ半導体基板とは電気的に分離される。これ以降の素子形成工程については前記実施の形態2、3、4と同じである。

【0314】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0315】(1)本発明によれば、第1ウェル領域、第2ウェル領域、第3ウェル領域および第4ウェル領域の不純物濃度をそれぞれに最適な値に独立して設定できるので、そのウェルの領域内に形成されるMISトランジスタのしきい電圧やドレイン電流等の電気的特性を常に最適化することが可能となる。

【0316】(2)本発明によれば、第1ウェル領域および第2ウェル領域の第1導電型の埋め込みウェル、第1ウェル領域の第2導電型の浅いウェル、第3ウェル領域

(29)

特開平11-261021

55

56

の第1導電型の浅いウエルおよび第4ウエル領域の第1導電型の浅いウエルを2つのマスクのみで形成することができるので、各ウエル毎にマスクを形成する技術に比べてマスクの形成工程を削減することが可能となる。

【0317】(3)上記(1)および(2)により、ウエル分離構造を有する半導体集積回路装置において、製造工程の増加を招くことなく、ウエル分離領域におけるウエルおよび通常のウエルの不純物濃度を最適化することが可能となる。

【0318】(4)上記(1)および(2)により、ウエル分離構造を有する半導体集積回路装置において、製造工程の増加を招くことなく、ウエル分離領域におけるウエルおよび通常のウエルに形成される素子の電気的特性を向上させることが可能となる。

【0319】(5)上記(2)により、半導体集積回路装置の製造コストを低減することが可能となる。

【0320】(6)上記(2)により、マスクの形成工程が減った分、異物による不良発生率を低減できるので半導体集積回路装置の歩留まりを向上させることが可能となる。

【0321】(7)上記(1)、(2)、(3)、(4)および(5)により、動作信頼性の高い半導体集積回路装置を低コストで提供することが可能となる。

【0322】(8)本発明によれば、第3ウエル領域における第1導電型の浅いウエルの少なくとも一部の不純物濃度を、第1ウエル領域における第2導電型の浅いウエルの不純物濃度よりも高くすることにより、第2導電型の浅いウエルと半導体基板との接合部を遠ざけることができるので、それらの間の電気的な分離能力を向上させることが可能となる。特に、第3ウエル領域における第1導電型の浅いウエルを形成するための不純物導入工程に際して、その浅いウエルの形成位置が平面的に位置ずれしたとしても、第3ウエル領域における第1導電型の浅いウエルの耐圧を確保することができるので、第1ウエル領域の第2導電型の浅いウエルと半導体基板との電気的な分離能力を確保することが可能となる。

【0323】(9)上記(8)により、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となる。

【0324】(10)本発明によれば、第5ウエル領域および第6ウエル領域の不純物濃度をそれぞれに最適な値に独立して設定できるので、そのウエルの領域内に形成されるMISトランジスタのしきい電圧やドレイン電流等の電気的特性を常に最適化することが可能となる。

【0325】(11)本発明によれば、第5ウエル領域および第6ウエル領域の直下に第1導電型の埋め込みウエルを形成する際に用いた第5マスクをエッチングマスクとして、その第5マスクから露出するゲート絶縁膜を除去することにより、それらを別々のマスクで行う場合に比べて、マスクの形成工程を削減することが可能とな

る。

【0326】(12)上記(11)により、半導体集積回路装置の製造コストを低減することが可能となる。

【0327】(13)上記(11)により、マスクの形成工程が減った分、異物による不良発生率を低減できるので半導体集積回路装置の歩留まりを向上させることが可能となる。

【0328】(14)上記(10)、(11)、(12)および(13)により、動作信頼性の高い半導体集積回路装置を低コストで提供することが可能となる。

【0329】(15)本発明によれば、第1導電型の不純物を、第1ウエル領域に形成される第1導電型の浅いウエルの形成領域が露出するような第6マスクを不純物導入マスクとして、前記第1ウエル領域における第2導電型の浅いウエルの導電型が打ち消されるように導入することで、前記第1ウエル領域に第1導電型の浅いウエルを形成することにより、第1ウエル領域に第2導電型の浅いウエルを形成するための不純物導入工程の段階において、第1ウエル領域内における第1導電型の浅いウエルと第2導電型の浅いウエルとの境界領域において、第2導電型の浅いウエルの不純物濃度分布が半導体基板の主面側にせり上がるのを防止することができるので、そのせり上がりに起因するウエル耐圧不良やリークの問題を回避することが可能となる。

【0330】(16)本発明によれば、高耐圧系のMISトランジスタを有する半導体集積回路装置の製造方法に、本発明の技術思想を適用した場合に、高耐圧系のMISトランジスタ以外のMISトランジスタにおけるウエルに、そのウエルと同じ導電型の不純物を追加導入することにより、そのウエルの不純物濃度の不足分を補うことが可能となる。

【図面の簡単な説明】

【図1】本発明の技術思想を説明するための半導体集積回路装置の要部断面図である。

【図2】(a)、(b)は図1の各部の不純物濃度分布の説明図である。

【図3】図1の各部の不純物濃度分布の説明図である。

【図4】図1の半導体集積回路装置の製造工程における要部断面図である。

【図5】図1の半導体集積回路装置の製造工程中に用いるマスクのレイアウト平面図である。

【図6】図1の半導体集積回路装置の製造工程における要部断面図である。

【図7】図1の半導体集積回路装置の製造工程中に用いるマスクのレイアウト平面図である。

【図8】本発明の一実施の形態である半導体集積回路装置の製造工程における要部断面図である。

【図9】図8に続く半導体集積回路装置の製造工程における要部断面図である。

【図10】図9に続く半導体集積回路装置の製造工程中

57

(30)

特開平11-261021

58

における要部断面図である。

【図11】図10に続く半導体集積回路装置の製造工程における要部断面図である。

【図12】図11に続く半導体集積回路装置の製造工程における要部断面図である。

【図13】図12に続く半導体集積回路装置の製造工程における要部断面図である。

【図14】図13に続く半導体集積回路装置の製造工程における要部断面図である。

【図15】図14の半導体集積回路装置におけるメモリセルの回路図である。

【図16】本発明の他の実施の形態である半導体集積回路装置を構成する半導体チップの平面図である。

【図17】図16の半導体集積回路装置の製造工程における要部断面図である。

【図18】図17に続く半導体集積回路装置の製造工程における要部断面図である。

【図19】図18に続く半導体集積回路装置の製造工程における要部断面図である。

【図20】図19に続く半導体集積回路装置の製造工程における要部断面図である。

【図21】図20に続く半導体集積回路装置の製造工程における要部断面図である。

【図22】図21に続く半導体集積回路装置の製造工程における要部断面図である。

【図23】図22に続く半導体集積回路装置の製造工程における要部断面図である。

【図24】本発明の他の実施の形態である半導体集積回路装置を構成する半導体チップの平面図である。

【図25】図24の半導体集積回路装置の製造工程における要部断面図である。

【図26】図25に続く半導体集積回路装置の製造工程における要部断面図である。

【図27】図26に続く半導体集積回路装置の製造工程における要部断面図である。

【図28】図27に続く半導体集積回路装置の製造工程における要部断面図である。

【図29】図28に続く半導体集積回路装置の製造工程における要部断面図である。

【図30】図29に続く半導体集積回路装置の製造工程における要部断面図である。

【図31】図30に続く半導体集積回路装置の製造工程における要部断面図である。

【図32】本発明の他の実施の形態である半導体集積回路装置を構成する半導体チップの平面図である。

【図33】図32の半導体集積回路装置の製造工程における要部断面図である。

【図34】図33に続く半導体集積回路装置の製造工程における要部断面図である。

【図35】図33に続く半導体集積回路装置の製造工程

中における要部断面図である。

【図36】図33に続く半導体集積回路装置の製造工程における要部断面図である。

【図37】図33に続く半導体集積回路装置の製造工程における要部断面図である。

【図38】図33に続く半導体集積回路装置の製造工程における要部断面図である。

【図39】図33に続く半導体集積回路装置の製造工程における要部断面図である。

【図40】フラッシュメモリ（EEPROM）のメモリセルの回路図である。

【図41】本発明の一実施の形態である半導体集積回路装置の製造工程における要部断面図である。

【図42】図41に続く半導体集積回路装置の製造工程における要部断面図である。

【図43】図42に続く半導体集積回路装置の製造工程における要部断面図である。

【図44】図43に続く半導体集積回路装置の製造工程における要部断面図である。

【図45】図44に続く半導体集積回路装置の製造工程における要部断面図である。

【図46】実施の形態5の半導体集積回路装置のキャッシュメモリにおける素子レイアウト平面図である。

【図47】実施の形態5のキャッシュメモリにおけるメモリセルの回路図である。

【図48】本発明の一実施の形態である半導体集積回路装置の製造工程における要部断面図である。

【図49】図48に続く半導体集積回路装置の製造工程における要部断面図である。

【図50】図48に続く半導体集積回路装置の製造工程における要部断面図である。

【図51】図48に続く半導体集積回路装置の製造工程における要部断面図である。

【図52】図48に続く半導体集積回路装置の製造工程における要部断面図である。

【図53】図48に続く半導体集積回路装置の製造工程における要部断面図である。

【図54】本発明者が検討したウエル分離構造を有する半導体集積回路装置の部分断面図である。

【図55】本発明者が検討したウエル分離構造を有する半導体集積回路装置の部分断面図である。

【図56】図55の各部の不純物濃度分布を説明するための説明図である。

【図57】本発明者が検討した半導体集積回路装置の問題点を説明するための半導体基板の部分断面図である。

【図58】本発明者が検討した半導体集積回路装置の問題点を説明するための半導体基板の部分断面図である。

【符号の説明】

1 半導体基板

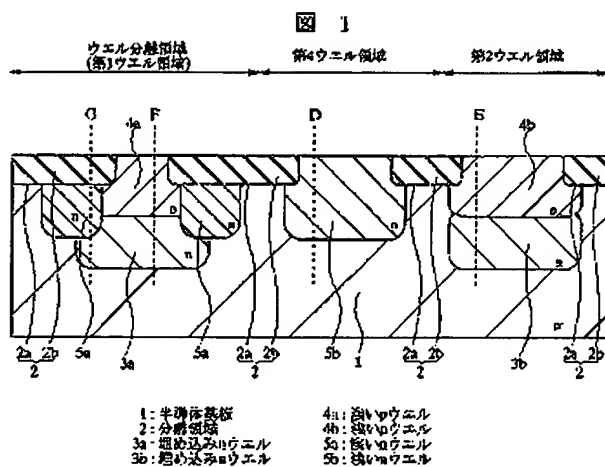
1C 半導体チップ

(31)	特開平11-261021
59	60
<p>2 分離領域</p> <p>2 a 溝</p> <p>2 b 分離膜</p> <p>3 a 埋め込みnウエル</p> <p>3 b 埋め込みnウエル</p> <p>3 c 埋め込みnウエル</p> <p>4 a 浅いpウエル</p> <p>4 b 浅いpウエル</p> <p>4 c 浅いpウエル</p> <p>5 a nウエル</p> <p>5 b nウエル</p> <p>5 c nウエル</p> <p>5 d nウエル</p> <p>5 e nウエル</p> <p>5 f nウエル</p> <p>6 絶縁膜</p> <p>7 a フォトレジストパターン (第1マスク)</p> <p>7 a1, 7 a2 矩形パターン</p> <p>7 b フォトレジストパターン (第2マスク)</p> <p>7 b1 枠形パターン</p> <p>7 b2 矩形パターン</p> <p>7 c フォトレジストパターン (第1マスク)</p> <p>7 c1, 7 c2 矩形パターン</p> <p>7 d フォトレジストパターン (第2マスク)</p> <p>7 d1 枠形パターン</p> <p>7 d2 矩形パターン</p> <p>7 e フォトレジストパターン (第1マスク)</p> <p>7 f フォトレジストパターン (第2マスク)</p> <p>7 g フォトレジストパターン (第3マスク)</p> <p>7 h フォトレジストパターン (第4マスク)</p> <p>7 i フォトレジストパターン (第5マスク)</p> <p>7 j フォトレジストパターン</p> <p>7 k フォトレジストパターン</p> <p>7 m フォトレジストパターン</p> <p>8 パッド膜</p> <p>9 絶縁膜</p> <p>10 a チャネルストップ層</p> <p>11 a, 11 b 半導体領域</p> <p>11 i ゲート絶縁膜</p> <p>11 g ゲート電極</p> <p>12 a, 12 b 半導体領域</p> <p>12 i ゲート絶縁膜</p>	<p>12 g ゲート電極</p> <p>13 a, 13 b 半導体領域</p> <p>13 i ゲート絶縁膜</p> <p>13 g ゲート電極</p> <p>14 a ~ 14 c 層間絶縁膜</p> <p>15 a ~ 15 c 接続孔</p> <p>16 ブラグ</p> <p>17 a 第1層配線</p> <p>17 b 第2層配線</p> <p>10 18 ブラグ</p> <p>19 キャパシタ</p> <p>19 a 蓄積電極</p> <p>19 b プレート電極</p> <p>20 A, 20 B ロジック回路</p> <p>21 i ゲート絶縁膜</p> <p>22 i ゲート絶縁膜</p> <p>23 a, 23 b ウエル給電用の半導体領域</p> <p>24 i ゲート絶縁膜</p> <p>25 i トンネル絶縁膜</p> <p>20 25 f g フローティングゲート電極</p> <p>25 c g コントロールゲート電極</p> <p>26 a n型の半導体領域</p> <p>26 b p型の半導体領域</p> <p>Q メモリセル選択用MIS-FET</p> <p>C キャパシタ</p> <p>Qp pチャネル型のMIS-FET</p> <p>Qn nチャネル型のMIS-FET</p> <p>50 半導体基板</p> <p>51 フィールド絶縁膜</p> <p>30 52 深いnウエル</p> <p>53 浅いnウエル</p> <p>54 通常のpウエル</p> <p>55 pウエル</p> <p>56 半導体基板</p> <p>57 a, 57 b nウエル</p> <p>58 a, 58 b pウエル</p> <p>60 半導体基板</p> <p>61 分離領域</p> <p>62 フォトレジストパターン</p> <p>40 63 pウエル</p> <p>64 埋め込みnウエル</p>

(32)

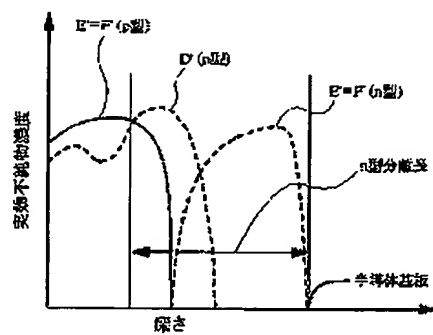
特開平11-261021

【図1】



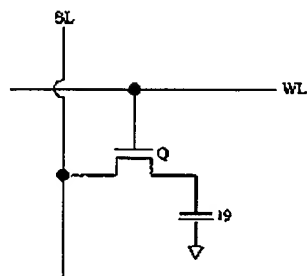
【図3】

図 3



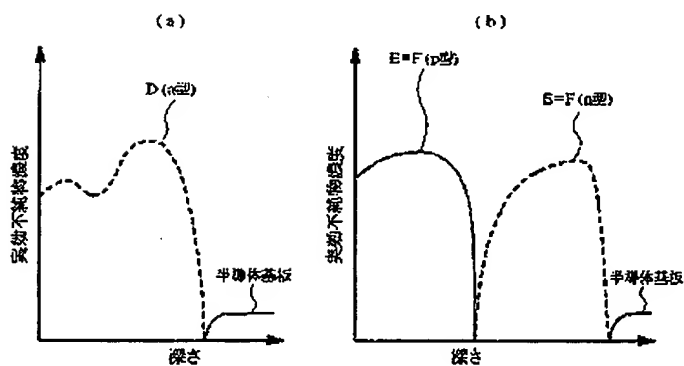
【図15】

図 15



【図2】

図 2

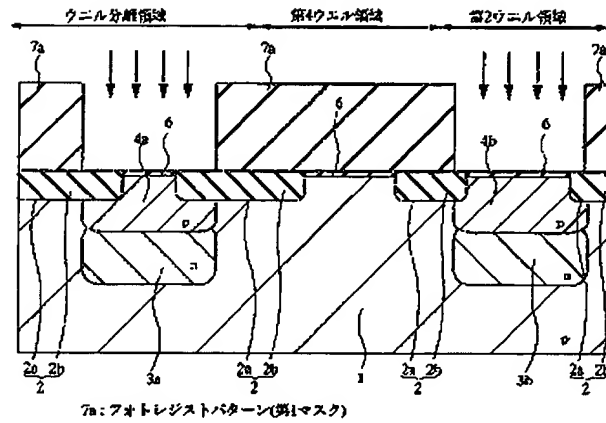


(33)

特開平11-261021

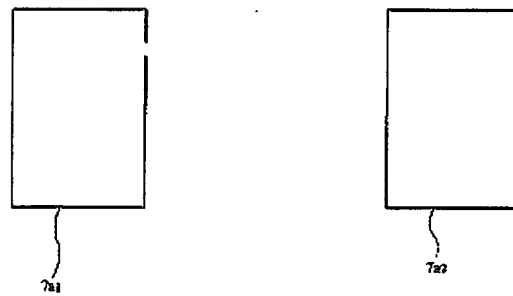
【図4】

図 4



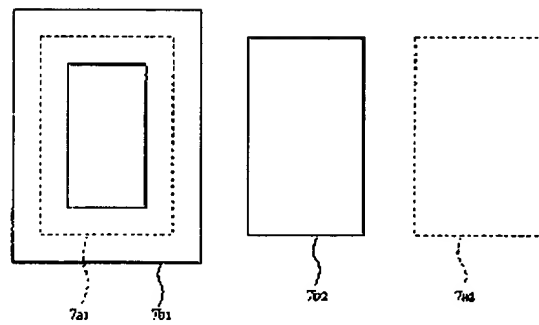
【図5】

図 5



【図7】

図 7

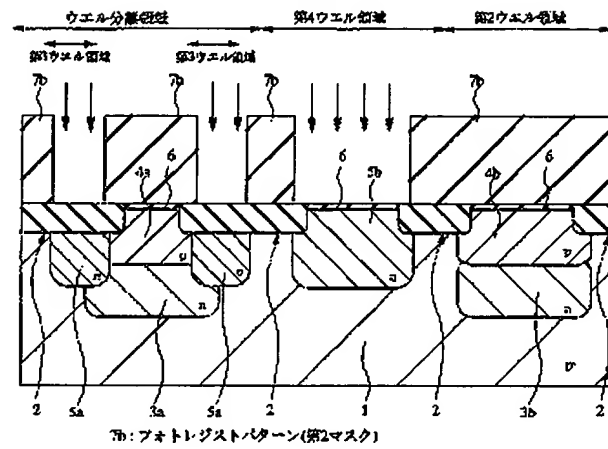


(34)

特開平11-261021

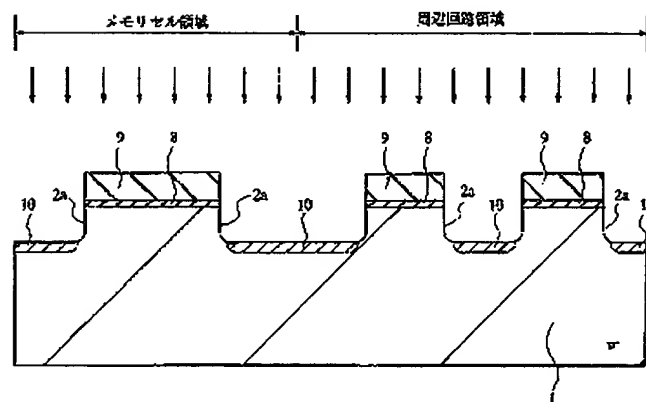
【図6】

図 6



【図8】

図 8

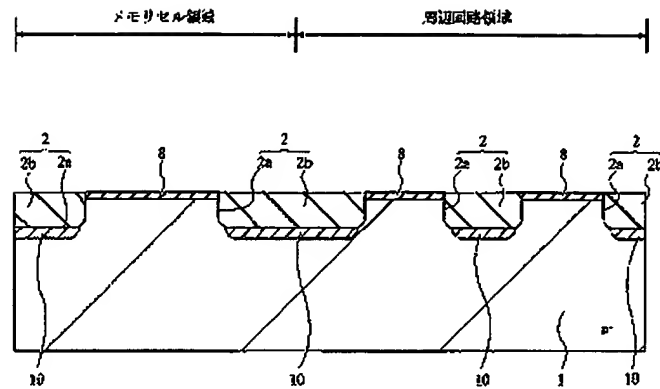


(35)

特開平11-261021

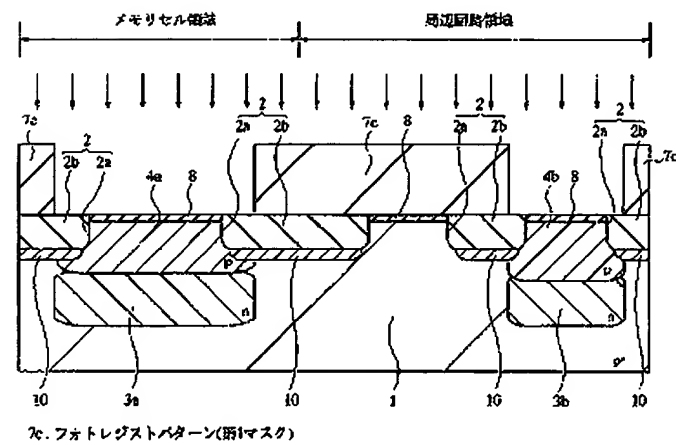
【図9】

図 9



【図10】

図 10

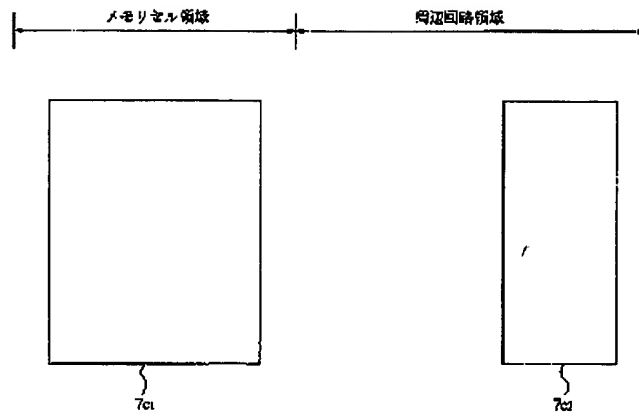


(36)

特開平11-261021

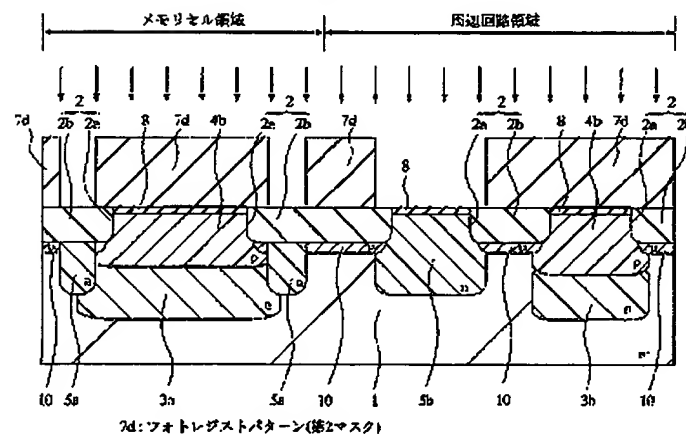
【図11】

図 11



【図12】

図 12

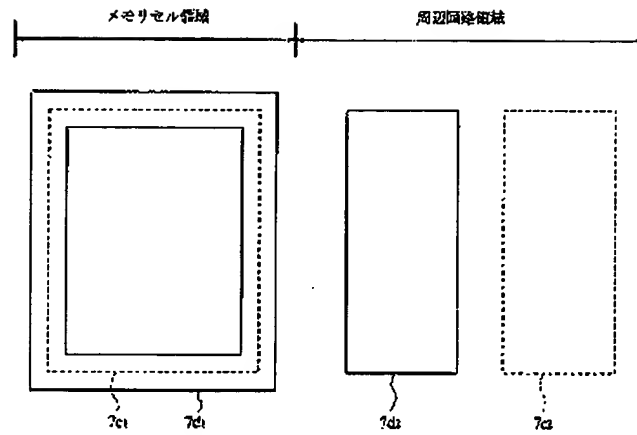


(37)

特開平11-261021

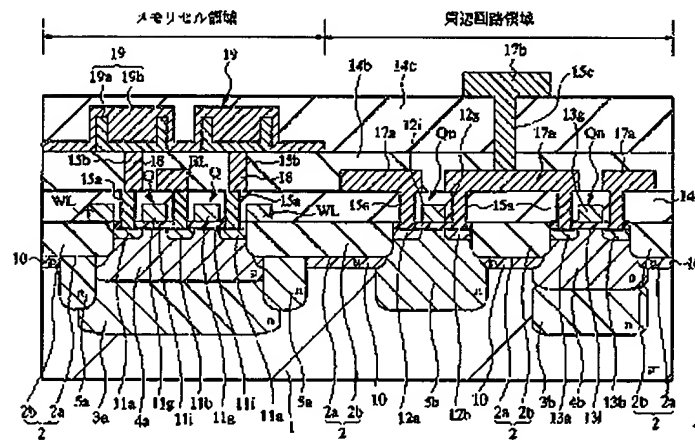
【図13】

図 13



【図14】

図 14

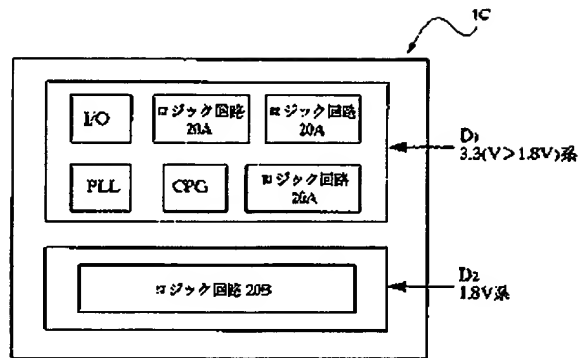


(38)

特開平11-261021

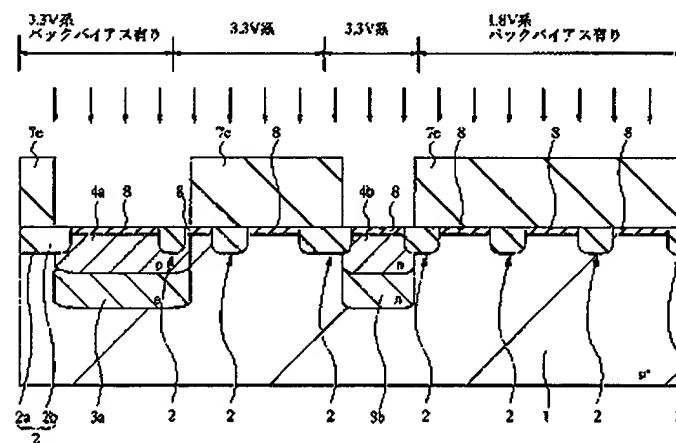
【図16】

図 16



【図17】

図 17

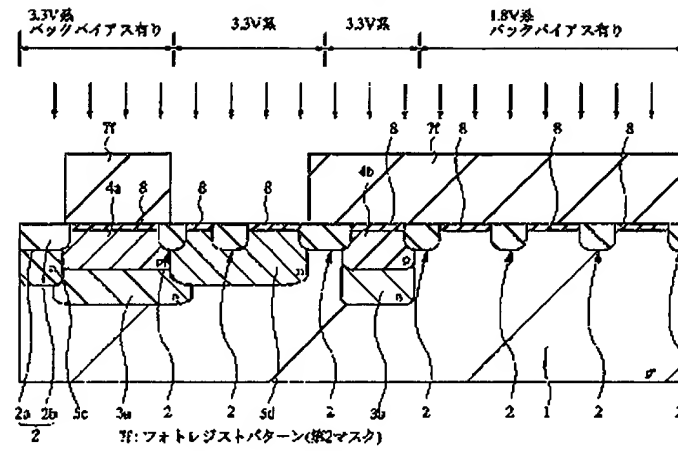


(39)

特開平 11-261021

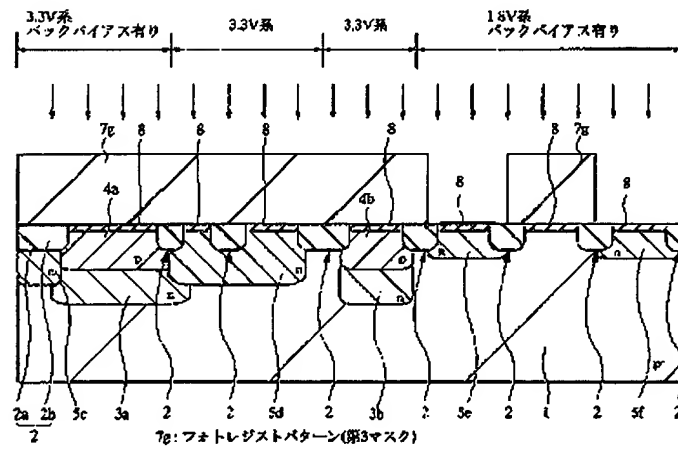
【图 18】

图 18



【图 19】

图 19

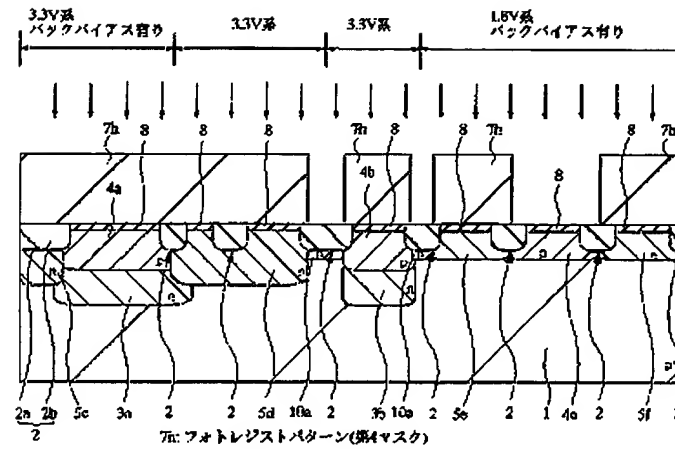


(40)

特開平11-261021

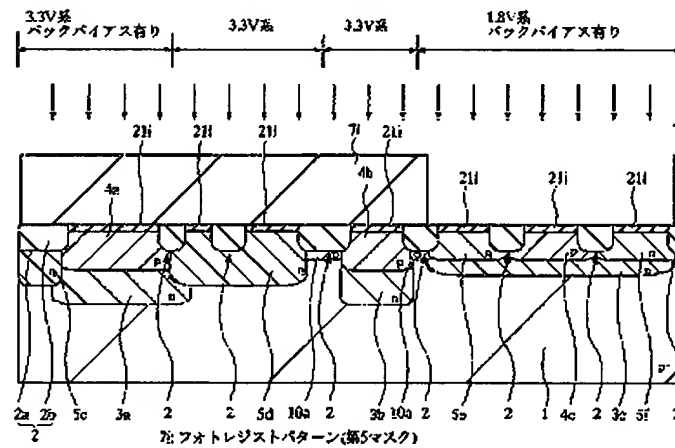
【図20】

図 20



【図21】

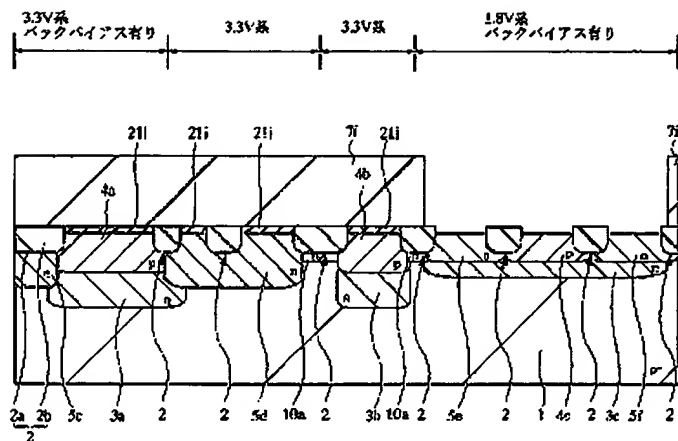
図 21



特開平 11-261021

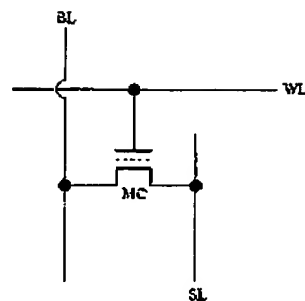
【圖22】

22



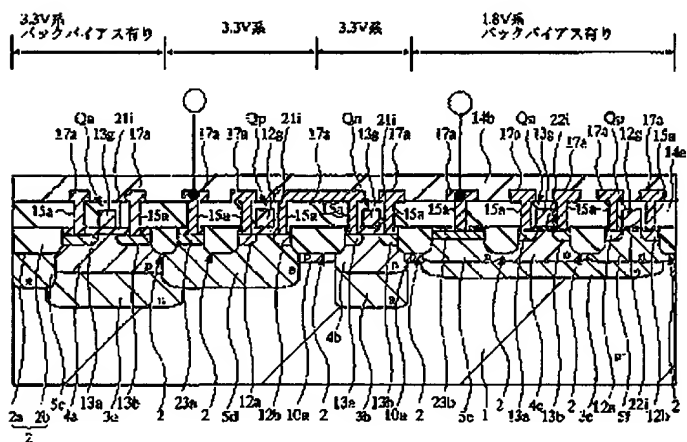
【図40】

图 40



【图23】

Figure 23 shows a rectangular box with a cross inside, labeled '23'.

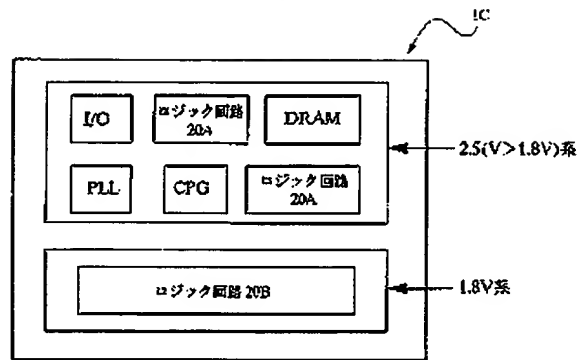


(42)

特開平11-261021

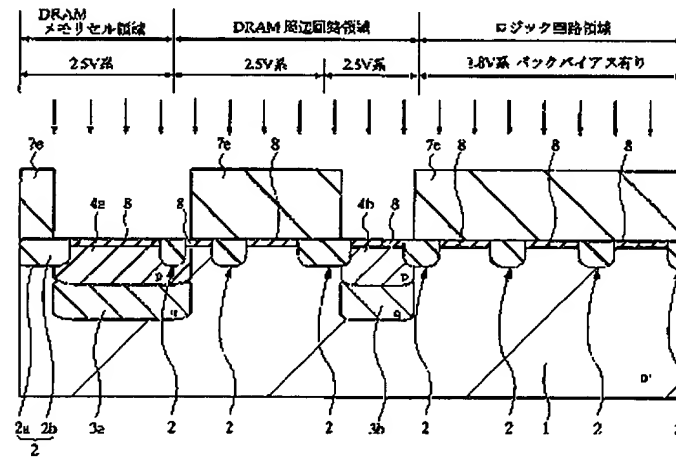
【図24】

図 24



【図25】

図 25

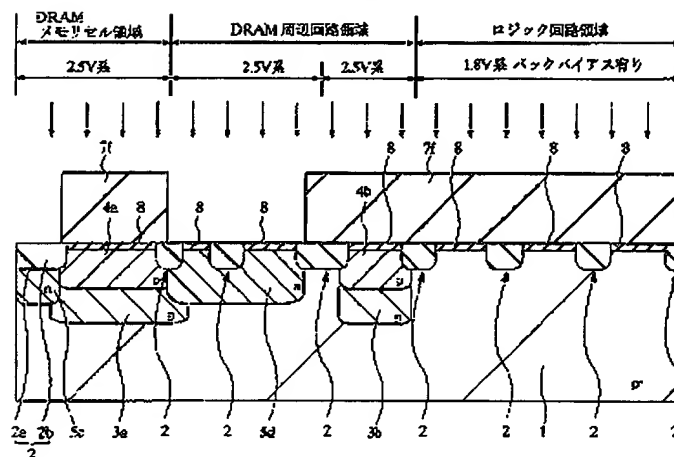


(43)

特開平 1 1 - 2 6 1 0 2 1

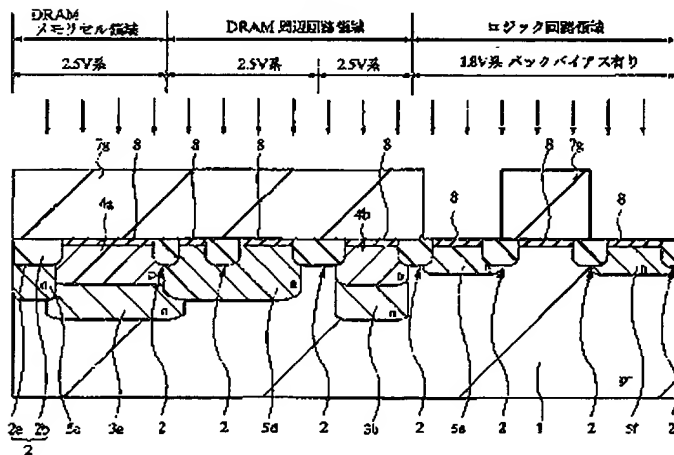
【圖26】

图 26



【图27】

图 27

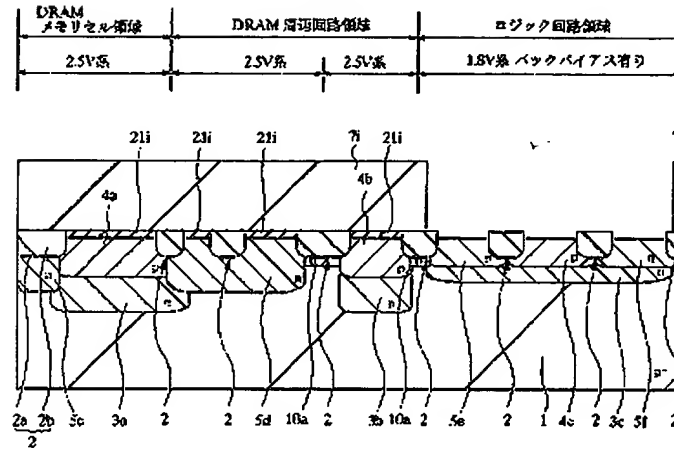


(45)

特開平11-261021

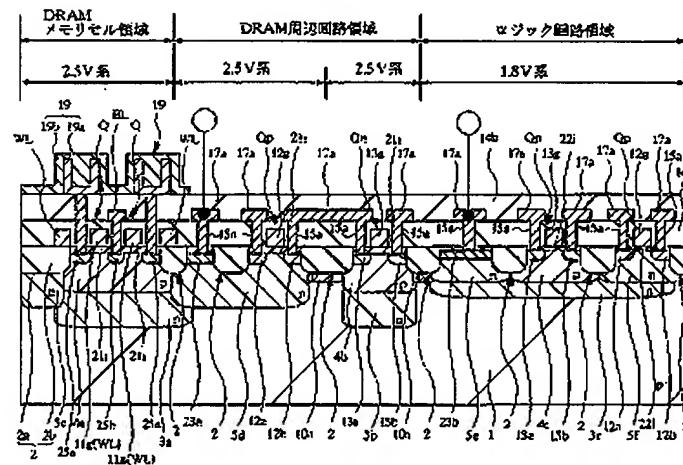
【図30】

図 30



【図31】

図 31

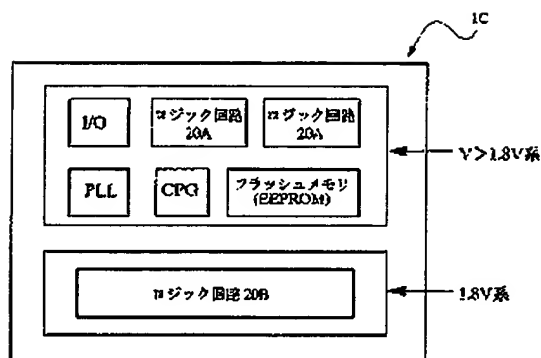


(45)

特開平11-261021

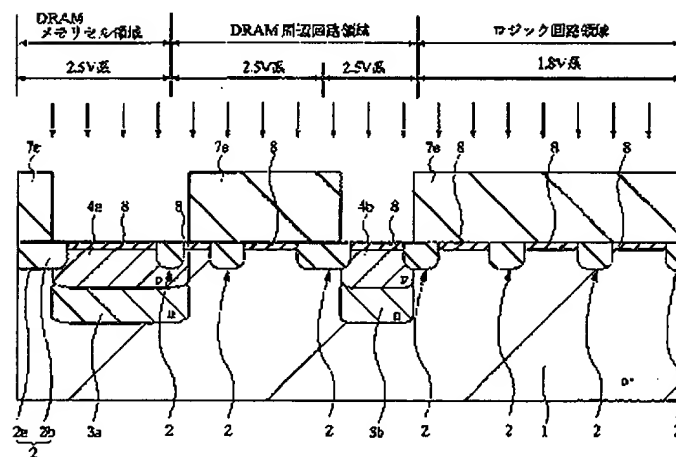
【図32】

図 32



【図33】

図 33

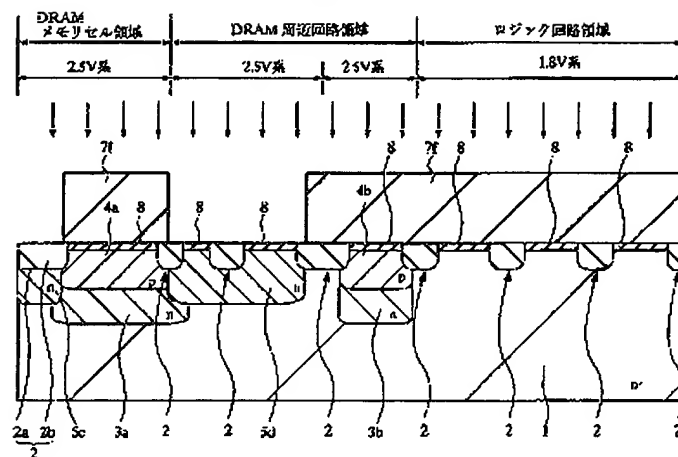


(47)

特開平11-261021

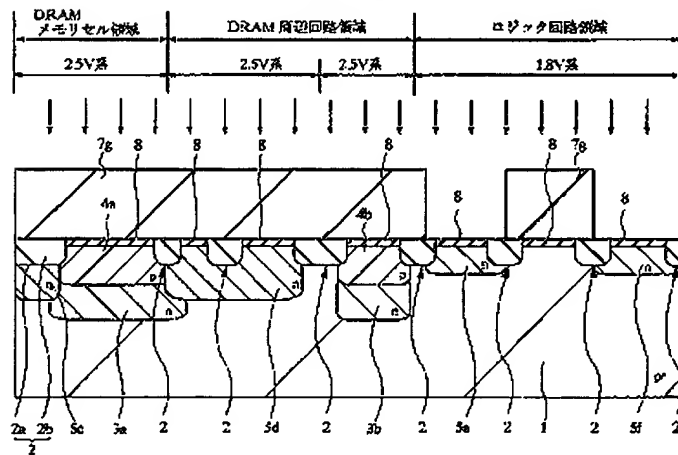
【図34】

図 34



【図35】

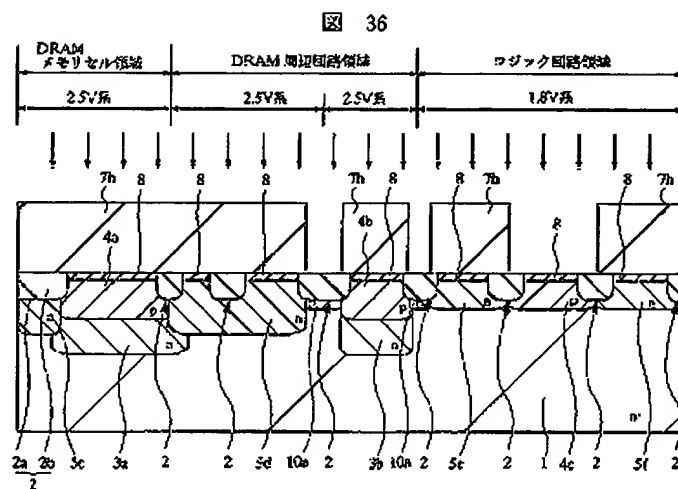
図 35



(48)

特開平11-261021

【図36】



【図37】

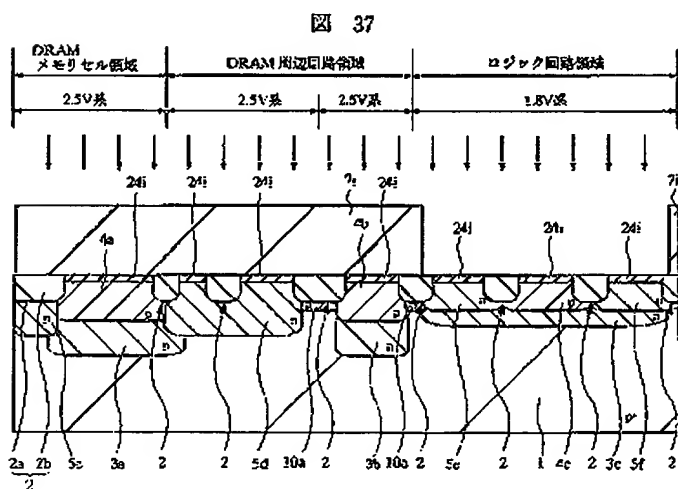


图 38

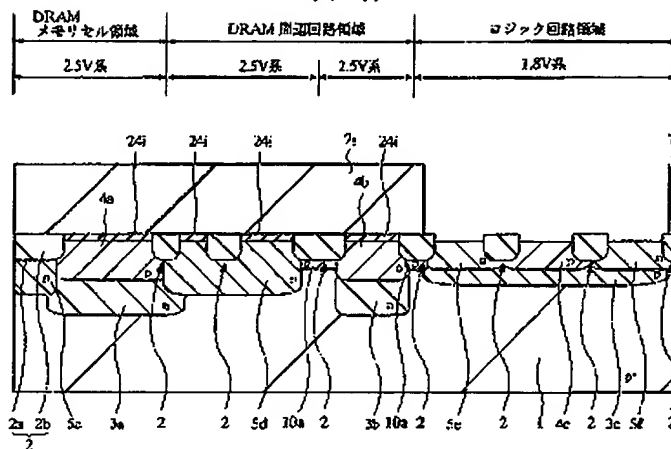
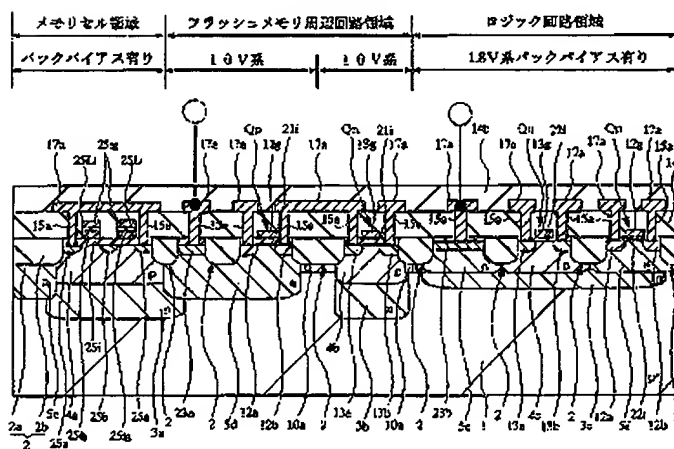


图 39

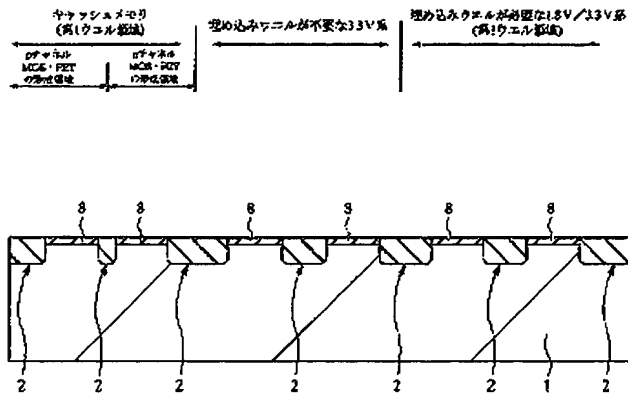


(50)

特開平11-261021

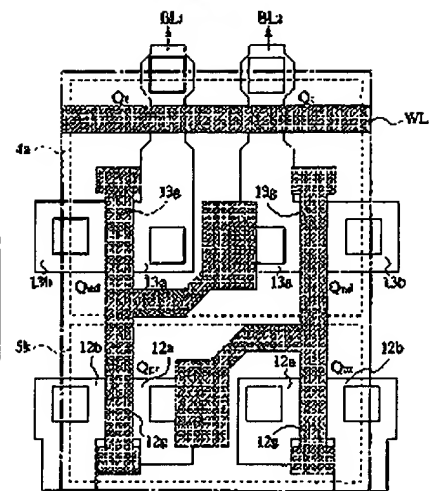
【図41】

図 41



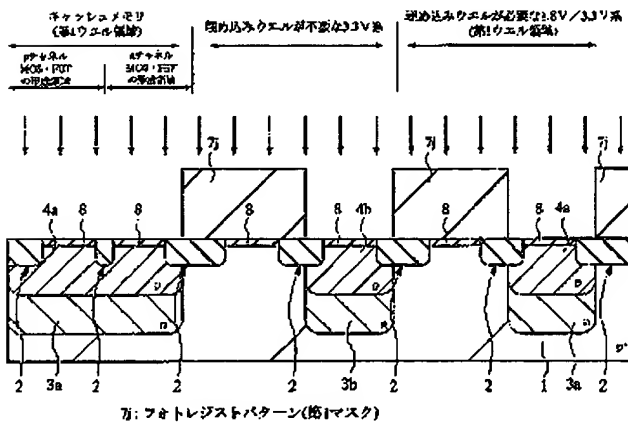
【図46】

図 46



【図42】

図 42



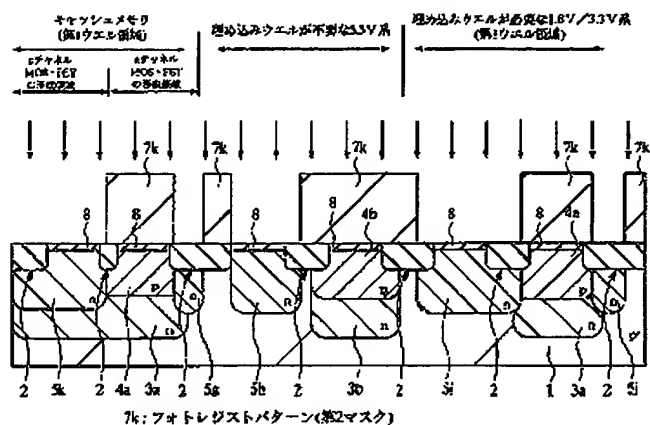
7: フォトリソレジストパターン(第1マスク)

(51)

特開平11-261021

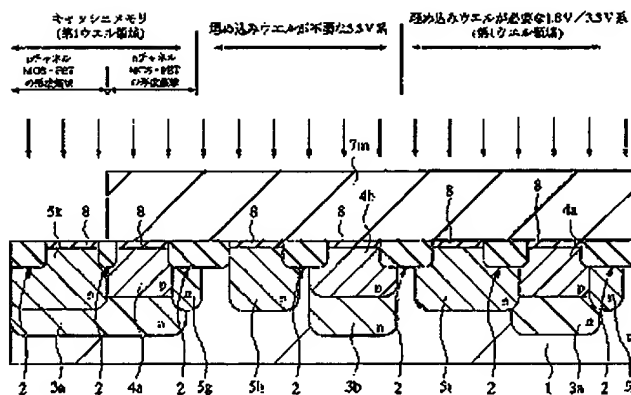
【図43】

図 43



【図44】

図 44

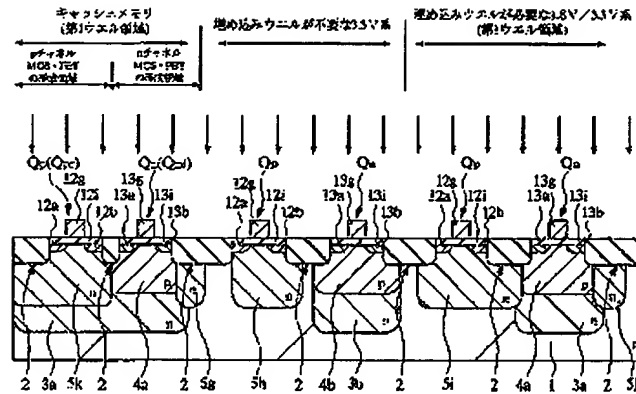


(52)

特開平11-261021

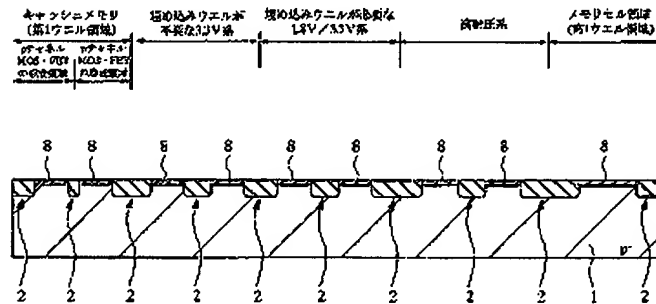
【図45】

図 45



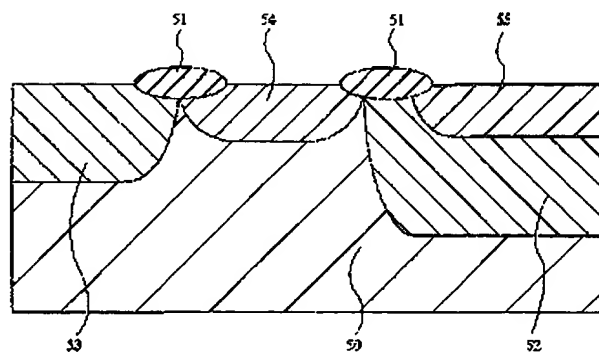
【図48】

図 48



【図54】

図 54

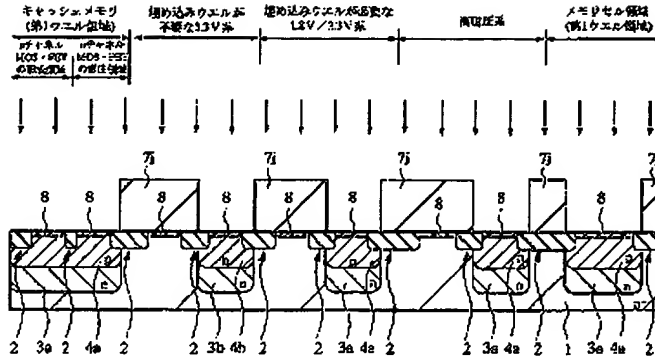


(53)

特開平11-261021

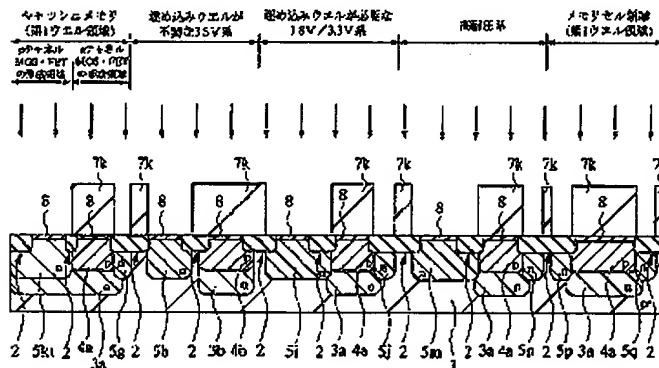
【図49】

図 49



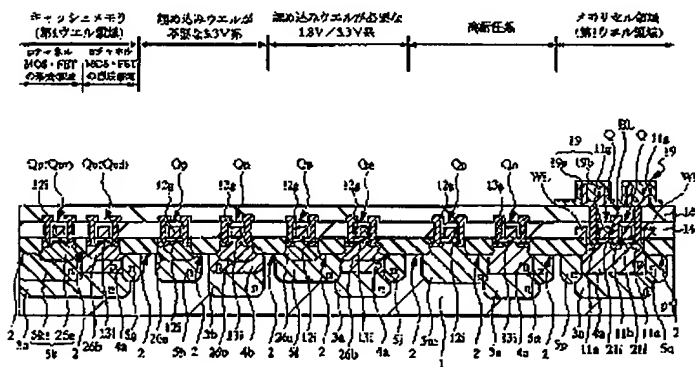
【図50】

図 50



【図53】

図 53



特開平 11-261021

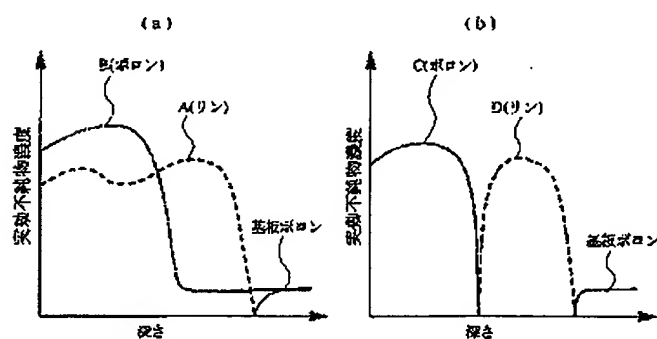
图 51



图 52



56



(56)

特開平11-261021

【補正内容】

【請求項25】 半導体集積回路装置の製造方法であって、(a)第1ウエル領域および第1ウエル領域から離間する位置に形成される第2ウエル領域が露出する第1マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第1ウエル領域および第2ウエル領域において、前記半導体基板内に第1導電型の埋め込みウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)前記第1ウエル領域および第2ウエル領域において、前記第1導電型の埋め込みウエル上に第2導電型のウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(d)前記第1ウエル領域の第1導電型の埋め込みウエルと第2導電型のウエルとの外周を取り囲む第3ウエル領域が露出する第2マスクを前記半導体基板の主面上にパターン形成する工程と、(e)前記第3ウエル領域において、前記第1ウエル領域の第2導電型のウエルの外周を取り囲み、かつ、第1ウエル領域の第1導電型の埋め込みウエルと電気的に接続される第1導電型のウエルを形成するために、前記第2マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを含み、前記第1ウエル領域において、第1ウエル領域における第2導電型のウエルが前記第3ウエル領域に形成された第1導電型のウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれて半導体基板から電気的に分離され、前記第2ウエル領域においては、前記第2導電型のウエルが前記半導体基板と電気的に接続されることを特徴とする半導体集積回路装置の製造方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】請求項31

【補正方法】変更

【補正内容】

【請求項31】 請求項25記載の半導体集積回路装置の製造方法において、さらに、前記第1ウエル領域において、第1導電型のウエルの形成領域が露出するような第6マスクを半導体基板の主面上に形成する工程と、前記第1ウエル領域における第2導電型のウエルの導電型が打ち消され前記第1ウエル領域に第1導電型のウエルを形成するために、前記第6マスクを不純物導入マスクとして不純物を前記第1ウエル領域に導入する工程とを含み、前記第1ウエル領域において、第1導電型のウエルと第2導電型のウエルとを形成し、第2導電型のウエルが第1導電型のウエル、前記第3ウエル領域に形成された第1導電型のウエルおよび第1ウエル領域における第1導

電型の埋め込みウエルに取り囲まれ半導体基板から電気的に分離されることを特徴とする半導体集積回路装置の製造方法。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】また、本発明は、半導体集積回路装置の製造方法であって、(a)第1ウエル領域および第1ウエル領域から離間する位置に形成される第2ウエル領域が露出する第1マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第1ウエル領域において、前記半導体基板の深い位置に第1導電型の埋め込みウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)前記第1ウエル領域および第2ウエル領域において、前記第1導電型の埋め込みウエル上に第2導電型の浅いウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(d)前記第1ウエル領域の第1導電型の埋め込みウエルと第2導電型の浅いウエルとの外周を取り囲む第3ウエル領域および前記第1ウエル領域から離間する位置に形成される第4ウエル領域が露出する第2マスクを前記半導体基板の主面上にパターン形成する工程と、(e)前記第3ウエル領域において、前記第1ウエル領域の第2導電型の浅いウエルの外周を取り囲み、かつ、第1ウエル領域の第1導電型の埋め込みウエルと電気的に接続される第1導電型の浅いウエルを形成し、かつ、前記第4ウエル領域において第1導電型の浅いウエルを形成するために、前記第2マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、前記半導体基板に高耐圧のMISトランジスタを形成する場合には、その高耐圧のMISトランジスタが形成される浅いウエル以外の他の浅いウエルに、他の浅いウエルの導電型と同じ導電型の不純物を追加導入する工程とを含み、前記第1ウエル領域において、その第1ウエル領域における第2導電型の浅いウエルが前記第3ウエル領域に形成された第1導電型の浅いウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれ半導体基板から電気的に分離され、前記第2ウエル領域において、前記第2導電型のウエルが前記半導体基板と電気的に接続されるものである。

【手続補正5】

【補正対象書類名】図面

【補正対象項目名】図33

【補正方法】変更

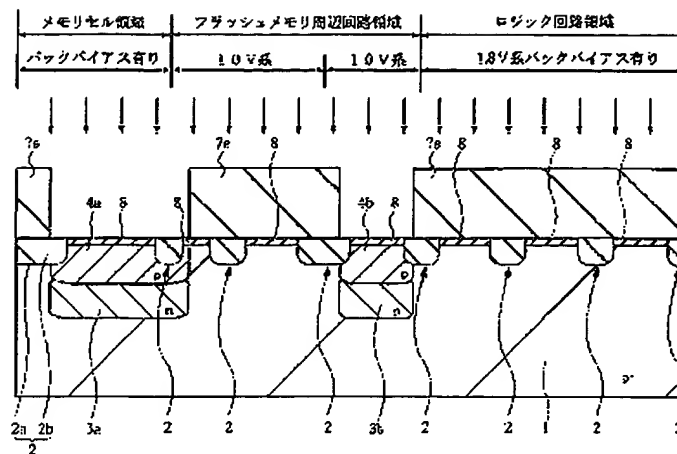
【補正内容】

【図33】

(57)

特開平11-261021

図 33



【手続補正6】

【補正対象書類名】図面

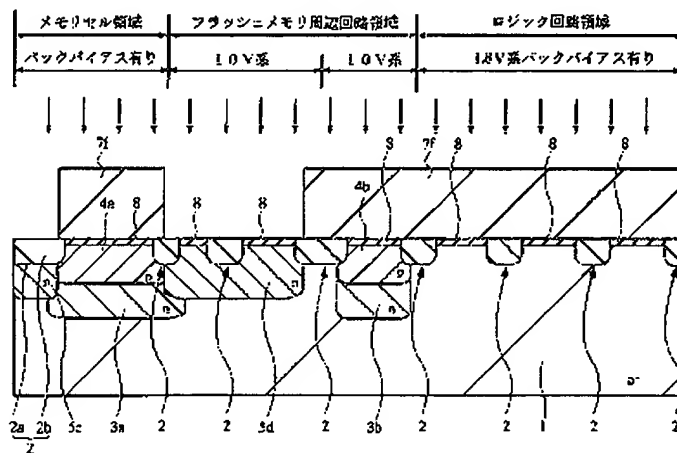
【補正対象項目名】図34

*【補正方法】変更

【補正内容】

*【図34】

図 34



【手続補正7】

【補正対象書類名】図面

【補正対象項目名】図35

【補正方法】変更

【補正内容】

【図35】

图 36

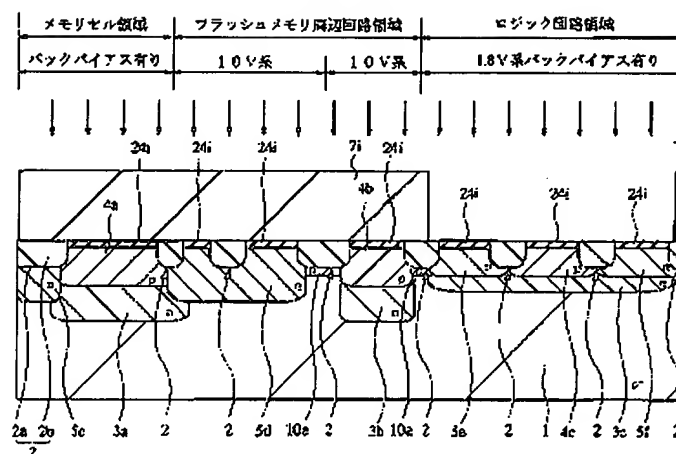
Figure 1 is a cross-sectional view of a semiconductor device, divided into three main functional regions: Memory Cell Array, Refresh Memory Peripheral Circuit, and Logic Circuit Array. The device is built on a substrate (2a, 2b, 2c, 2d, 2e, 2f, 2g, 2h, 2i, 2j, 2k, 2l, 2m, 2n, 2o, 2p, 2q, 2r, 2s, 2t, 2u, 2v, 2w, 2x, 2y, 2z). The Memory Cell Array region (left) features a stack of layers including a gate (1a), a channel (1b), and a drain (1c). The Refresh Memory Peripheral Circuit region (middle) includes a gate (1d), a channel (1e), and a drain (1f). The Logic Circuit Array region (right) features a stack of layers including a gate (1g), a channel (1h), and a drain (1i). The diagram also shows various other components and layers, such as the substrate (2a, 2b, 2c, 2d, 2e, 2f, 2g, 2h, 2i, 2j, 2k, 2l, 2m, 2n, 2o, 2p, 2q, 2r, 2s, 2t, 2u, 2v, 2w, 2x, 2y, 2z), the gate (1a, 1d, 1g), the channel (1b, 1e, 1h), and the drain (1c, 1f, 1i). The diagram is labeled with various numbers and letters, indicating different components and layers.

【圖37】

(59)

特開平11-261021

図 37



【手続補正10】

【補正対象書類名】図面

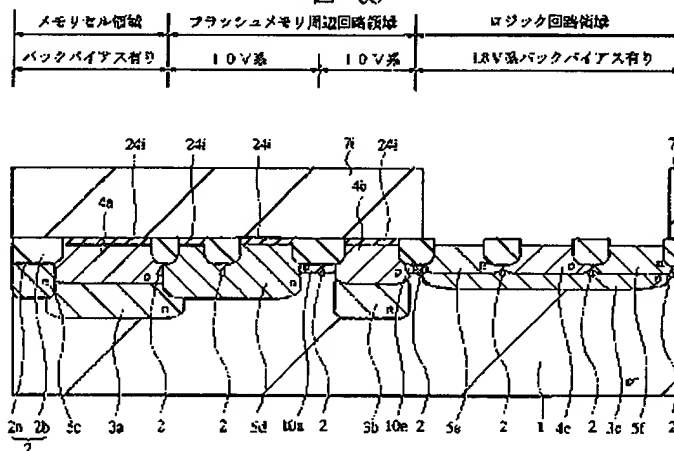
【補正対象項目名】図38

*【補正方法】変更

【補正内容】

*【図38】

図 38



【手続補正音】

【提出日】平成11年6月14日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 半導体集積回路装置の製造方法であって、(a)第1ウエル領域および第1ウエル領域から離間する位置に形成される第2ウエル領域が露出する第1

マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第1ウエル領域および第2ウエル領域において、前記半導体基板の深い位置に第1導電型の埋め込みウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)前記第1ウエル領域および第2ウエル領域において、前記第1導電型の埋め込みウエル上に第2導電型の浅いウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(d)前記第1ウエル領域の第1導電型の埋め込

(60)

特開平11-261021

みウエルと第2導電型の浅いウエルとの外周を取り囲む第3ウエル領域および前記第1ウエル領域から離間する位置に形成される第4ウエル領域が露出し、かつ、前記第1マスクより薄い第2マスクを前記半導体基板の主面上にパターン形成する工程と、(e)前記第3ウエル領域において、前記第1ウエル領域の第2導電型の浅いウエルの外周を取り囲み、第1ウエル領域の第1導電型の埋め込みウエルよりも浅く、かつ、埋め込みウエルと電気的に接続される第1導電型の浅いウエルを形成し、かつ、前記第4ウエル領域において第1ウエル領域の第1導電型の埋め込みウエルよりも浅い第1導電型の浅いウエルを形成するために、前記第2マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを含む。

前記第1ウエル領域において、その第1ウエル領域における第2導電型の浅いウエルが前記第3ウエル領域に形成された第1導電型の浅いウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれ半導体基板から電気的に分離され、前記第2ウエル領域において、前記第2導電型の浅いウエルが前記半導体基板と電気的に接続されることを特徴とする半導体集積回路装置の製造方法。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法において、前記第1ウエル領域における第1導電型の埋め込みウエルの不純物濃度のピーク領域が、前記第1ウエル領域および第2ウエル領域における第2導電型の浅いウエルの不純物濃度のピーク領域よりも深くなるように不純物を導入することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1記載の半導体集積回路装置の製造方法において、前記第3ウエル領域における第1導電型の浅いウエルの領域にMISトランジスタを形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項1記載の半導体集積回路装置の製造方法において、さらに、前記半導体基板の主面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極をマスクとして半導体基板に所定の不純物を導入する工程とを含み、前記第1ウエル領域および第2ウエル領域における第2導電型の浅いウエル、前記第3ウエル領域および第4ウエル領域における第1導電型の浅いウエルの各々の領域にMISトランジスタを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1記載の半導体集積回路装置の製造方法において、前記第3ウエル領域における第1導電型の浅いウエルの少なくとも一部の不純物濃度は、前記第1ウエル領域における第2導電型の浅いウエルの不純

物濃度よりも高くなるように、前記工程(e)の不純物導入が行われることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項5記載の半導体集積回路装置の製造方法において、前記第3ウエル領域における第1導電型の浅いウエルにおいて前記埋め込みウエルの近傍の不純物濃度が、前記第1ウエル領域における第2導電型の浅いウエルにおいて前記埋め込みウエルの近傍で、かつ、前記第1導電型の浅いウエル近傍の不純物濃度より高くなるように、前記工程(e)の不純物導入が行われることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項1記載の半導体集積回路装置の製造方法において、さらに、前記半導体基板の主面上に素子分離領域を形成する工程を有し、

前記第1ウエル領域において、前記第2導電型の浅いウエルの活性領域は前記素子分離領域で規定され、前記第3ウエル領域における第1導電型の浅いウエルの少なくとも一部が前記素子分離領域下に延在するように構成されることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項7記載の半導体集積回路装置の製造方法において、前記素子分離領域下に第2導電型のチャネルストップ領域を延在させてなる工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項8記載の半導体集積回路装置の製造方法において、前記第3ウエル領域の素子分離領域下において、前記第1導電型の浅いウエルの不純物濃度は、前記チャネルストップ領域の不純物濃度よりも高いことを特徴とする半導体集積回路装置の製造方法。

【請求項10】 請求項7記載の半導体集積回路装置の製造方法において、前記素子分離領域は、前記半導体基板に分離溝を形成した後、その分離溝内に分隔壁を埋め込むことで形成することを特徴とする半導体集積回路装置の製造方法。

【請求項11】 請求項1記載の半導体集積回路装置の製造方法において、さらに、前記第1ウエル領域から離間する位置に形成される第5ウエル領域が露出する第3マスクを半導体基板の主面上にパターン形成する工程と、

前記第5ウエル領域に第1導電型の浅いウエルを形成するために、前記第3マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、

前記第5ウエル領域に平面的に取り囲まれて形成される第6ウエル領域が露出する第4マスクを半導体基板の主面上にパターン形成する工程と、

前記第6ウエル領域に第2導電型の浅いウエルを形成するために、前記第4マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項12】 請求項11記載の半導体集積回路装置

(61)

特開平11-261021

の製造方法において、さらに、
前記第5ウエル領域、第6ウエル領域および第5ウエル領域を取り囲む素子分離領域の一部が露出し、開口端が素子分離領域上に配置される第5マスクを半導体基板の主面上にパターン形成する工程と、

前記第5ウエル領域の第1導電型の浅いウエルおよび第6ウエル領域における第2導電型の浅いウエル下に、前記第5ウエル領域および第6ウエル領域の第1導電型の浅いウエルに電気的に接続され、かつ、前記第5ウエル領域を取り囲む素子分離領域下の一部にかかるように第1導電型の埋め込みウエルを形成するために、前記第5マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを含み、

前記第6ウエル領域において、その第6ウエル領域における第2導電型の浅いウエルが、前記第5ウエル領域の第1導電型の浅いウエルと第5ウエル領域および第6ウエル領域の前記第1導電型の埋め込みウエルとによって取り囲まれ半導体基板から電気的に分離されることを特徴とする半導体集積回路装置の製造方法。

【請求項13】 請求項12記載の半導体集積回路装置の製造方法において、前記第5マスクをエッチングマスクとして、前記第5マスクから露出する半導体基板の主面上のゲート絶縁膜を除去する工程と、

前記第5マスクを除去した後、前記第5マスクから露出する半導体基板の主面上に、他の領域のゲート絶縁膜とは厚さの異なるゲート絶縁膜を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項14】 請求項13記載の半導体集積回路装置の製造方法において、前記厚さの異なるゲート絶縁膜を有するMISトランジスタの駆動電圧は、他の領域のゲート絶縁膜を有するMISトランジスタの駆動電圧よりも低いことを特徴とする半導体集積回路装置の製造方法。

【請求項15】 請求項1記載の半導体集積回路装置の製造方法において、さらに、

前記第1ウエル領域から離間する位置に形成される第5ウエル領域および素子分離領域の一部が露出する第3マスクを半導体基板の主面上にパターン形成する工程と、
前記第5ウエル領域に第1導電型の浅いウエルを形成するために、前記第3マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、

前記第5ウエル領域に取り囲まれて形成される第6ウエル領域および素子分離領域の一部が露出する第4マスクを半導体基板の主面上にパターン形成する工程と、

前記第6ウエル領域に第2導電型の浅いウエルを形成し、かつ、前記素子分離領域の下に第2導電型のチャネルストップ領域を形成するために、前記第4マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、

前記第5ウエル領域、第6ウエル領域および第5ウエル

領域を取り囲む素子分離領域の一部が露出し、開口端が素子分離領域上に配置される第5マスクを半導体基板の主面上にパターン形成する工程と、

前記第5ウエル領域の第1導電型の浅いウエルおよび第6ウエル領域における第2導電型の浅いウエル下に、前記第5ウエル領域の第1導電型の浅いウエルに電気的に接続され、かつ、前記第5ウエル領域を取り囲む素子分離領域下の一部にかかるように第1導電型の埋め込みウエルを形成するために、前記第5マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを含み、

前記第6ウエル領域において、その第6ウエル領域における第2導電型の浅いウエルが、前記第5ウエル領域の第1導電型の浅いウエルと第5ウエル領域および第6ウエル領域の前記第1導電型の埋め込みウエルとによって取り囲まれ半導体基板から電気的に分離されることを特徴とする半導体集積回路装置の製造方法。

【請求項16】 半導体集積回路装置の製造方法であって、

(a) 第1ウエル領域および第1ウエル領域から離間する位置に形成される第2ウエル領域が露出する第1マスクを半導体基板の主面上にパターン形成する工程と、

(b) 前記第1ウエル領域および第2ウエル領域において、前記半導体基板の深い位置に第1導電型の埋め込みウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、

(c) 前記第1ウエル領域および第2ウエル領域において、前記第1導電型の埋め込みウエル上に第2導電型の浅いウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、
(d) 前記第1ウエル領域の第1導電型の埋め込みウエルと第2導電型の浅いウエルとの外周を取り囲む第3ウエル領域および前記第1ウエル領域から離間する位置に形成される第4ウエル領域が露出する第2マスクを前記半導体基板の主面上にパターン形成する工程と、
(e) 前記第3ウエル領域において、前記第1ウエル領域の第2導電型の浅いウエルの外周を取り囲み、かつ、

第1ウエル領域の第1導電型の埋め込みウエルと電気的に接続される第1導電型の浅いウエルを形成し、かつ、
前記第4ウエル領域において第1導電型の浅いウエルを形成するために、前記第2マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを含み、

前記第1ウエル領域において、その第1ウエル領域における第2導電型の浅いウエルが前記第3ウエル領域に形成された第1導電型の浅いウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれ半導体基板から電気的に分離され、

前記第2ウエル領域において、前記第2導電型の浅いウエルが前記半導体基板と電気的に接続され、

さらに、(f) 前記第1ウエル領域において、第2導電型の浅いウエルの形成領域の一部が露出する第6

(62)

特開平11-261021

マスクを半導体基板の主面上に形成する工程と、(g) 前記第1ウエル領域における第2導電型の浅いウエルの導電型が打ち消され前記第1ウエル領域に第1導電型の浅いウエルを形成するために、前記第6マスクを不純物導入マスクとして不純物を前記第1ウエル領域に導入する工程とを含む。

前記第1ウエル領域において、第1導電型の浅いウエルと第2導電型の浅いウエルとを形成し、その第2導電型の浅いウエルがその第1導電型の浅いウエル、前記第3ウエル領域に形成された第1導電型の浅いウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれ半導体基板から電気的に分離されることを特徴とする半導体集積回路装置の製造方法。

【請求項17】 請求項16記載の半導体集積回路装置の製造方法において、前記第1ウエル領域における第1導電型の浅いウエルと第2導電型の浅いウエルとの間に設けられた素子分離領域が、他の領域の素子分離領域よりも幅が狭いことを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項16記載の半導体集積回路装置の製造方法において、前記第1ウエル領域における第1導電型の浅いウエルおよび第2導電型の浅いウエルにMISトランジスタを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項1記載の半導体集積回路装置の製造方法において、前記半導体基板に高耐圧のMISトランジスタを形成する場合には、その高耐圧のMISトランジスタが形成される高耐圧用の浅いウエル以外の浅いウエルに、不純物濃度を高くするために不純物を追加導入することを特徴とする半導体集積回路装置の製造方法。

【請求項20】 請求項1記載の半導体集積回路装置の製造方法において、さらに、

第7ウエル領域が露出する第7マスクを半導体基板の主面上にパターン形成する工程と、

前記第7ウエル領域において、前記半導体基板の主面から深い位置まで延びる第1導電型の深いウエルを形成するために、前記第7マスクを不純物導入マスクとして不純物を前記第7ウエル領域に導入する工程と、

前記第7マスクをエッチングマスクとして、前記第7マスクから露出する半導体基板の主面上のゲート絶縁膜を除去する工程と、

前記第7マスクを除去した後、前記第7マスクから露出する半導体基板の主面上に、他の領域のゲート絶縁膜とは厚さの異なるゲート絶縁膜を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項21】 請求項20記載の半導体集積回路装置の製造方法において、さらに、

前記第7ウエル領域に囲まれる領域内における第8ウエル領域が露出する第8マスクを半導体基板の主面上にパ

ターン形成する工程と、

前記第8ウエル領域に、前記深いウエルに外周が取り囲まれる第2導電型の浅いウエルを形成するために、前記第8マスクを不純物導入マスクとして不純物を、前記深いウエルの導電型が打ち消されるようにして半導体基板に導入する工程と、

前記第8ウエル領域において、その第2導電型の浅いウエルが第1導電型の深いウエルに取り囲まれ半導体基板から電気的に分離されることを特徴とする半導体集積回路装置の製造方法。

【請求項22】 請求項20記載の半導体集積回路装置の製造方法において、前記厚さの異なるゲート絶縁膜を有するMISトランジスタの駆動電圧は、他の領域のゲート絶縁膜を有するMISトランジスタの駆動電圧よりも低いことを特徴とする半導体集積回路装置の製造方法。

【請求項23】 請求項20記載の半導体集積回路装置の製造方法において、前記第7マスクの端部は素子分離領域上に配置され、前記第7ウエル領域における深いウエルは、その端部が素子分離領域下で終端するように形成することを特徴とする半導体集積回路装置の製造方法。

【請求項24】 請求項20記載の半導体集積回路装置の製造方法において、前記素子分離領域下に第2導電型のチャンネルストップ領域を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項25】 半導体集積回路装置の製造方法であって、(a)第1ウエル領域および第1ウエル領域から離間する位置に形成される第2ウエル領域が露出する第1マスクを半導体基板の主面上にパターン形成する工程と、

(b)前記第1ウエル領域および第2ウエル領域において、前記半導体基板内に第1導電型の埋め込みウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)前記第1ウエル領域および第2ウエル領域において、前記第1導電型の埋め込みウエル上に第2導電型のウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、

(d)前記第1ウエル領域の第1導電型の埋め込みウエルと第2導電型のウエルとの外周を取り囲む第3ウエル領域が露出し、かつ、前記第1マスクより薄い第2マスクを前記半導体基板の主面上にパターン形成する工程と、(e)前記第3ウエル領域において、前記第1ウエル領域の第2導電型のウエルの外周を取り囲み、第1ウエル領域の第1導電型の埋め込みウエルよりも浅く、かつ、埋め込みウエルと電気的に接続される第1導電型のウエルを形成するために、前記第2マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを含む。

前記第1ウエル領域において、第1ウエル領域における第2導電型のウエルが前記第3ウエル領域に形成された

(63)

特開平11-261021

第1導電型のウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれて半導体基板から電気的に分離され、

前記第2ウエル領域においては、前記第2導電型のウエルが前記半導体基板と電気的に接続されることを特徴とする半導体集積回路装置の製造方法、

【請求項26】 請求項25記載の半導体集積回路装置の製造方法において、前記第1ウエル領域における第1導電型の埋め込みウエルの不純物濃度のピーク領域が、前記第1ウエル領域および第2ウエル領域における第2導電型のウエルの不純物濃度のピーク領域よりも深くなるように不純物を導入することを特徴とする半導体集積回路装置の製造方法、

【請求項27】 請求項25記載の半導体集積回路装置の製造方法において、前記第3ウエル領域における第1導電型のウエルの領域にMISトランジスタを形成する工程を有することを特徴とする半導体集積回路装置の製造方法、

【請求項28】 請求項25記載の半導体集積回路装置の製造方法において、さらに、前記半導体基板の主面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極をマスクとして半導体基板に所定の不純物を導入する工程とを含み、

前記第1ウエル領域および第2ウエル領域における第2導電型のウエル、前記第3ウエル領域における第1導電型のウエルの各々の領域にMISトランジスタが形成されることを特徴とする半導体集積回路装置の製造方法、

【請求項29】 請求項25記載の半導体集積回路装置の製造方法において、前記第3ウエル領域における第1導電型のウエルの少なくとも一部の不純物濃度は、前記第1ウエル領域における第2導電型のウエルの不純物濃度よりも高くなるように、前記工程(e)の不純物導入が行われることを特徴とする半導体集積回路装置の製造方法、

【請求項30】 請求項25記載の半導体集積回路装置の製造方法において、前記第3ウエル領域における第1導電型のウエルにおいて前記埋め込みウエルの近傍の不純物濃度が、前記第2導電型のウエルにおいて前記埋め込みウエルの近傍で、かつ、前記第1の導電型のウエル近傍の不純物濃度よりも高くなるように、前記工程

(e)の不純物導入が行われることを特徴とする半導体集積回路装置の製造方法、

【請求項31】 半導体集積回路装置の製造方法であって、(a)第1ウエル領域および第1ウエル領域から離間する位置に形成される第2ウエル領域が露出する第1マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第1ウエル領域および第2ウエル領域において、前記半導体基板内に第1導電型の埋め込みウエ

ルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)

前記第1ウエル領域および第2ウエル領域において、前記第1導電型の埋め込みウエル上に第2導電型のウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(d)前記第1ウエル領域の第1導電型の埋め込みウエルと第2導電型のウエルとの外周を取り囲む第3ウエル領域が露出する第2マスクを前記半導体基板の主面上にパターン形成する工程と、(e)前記第3ウエル領域において、

前記第1ウエル領域の第2導電型のウエルの外周を取り囲み、かつ、第1ウエル領域の第1導電型の埋め込みウエルと電気的に接続される第1導電型の浅いウエルを形成するために、前記第2マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを含み、

前記第1ウエル領域において、第1ウエル領域における第2導電型のウエルが前記第3ウエル領域に形成された第1導電型のウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれて半導体基板から電気的に分離され、

前記第2ウエル領域においては、前記第2導電型のウエルが前記半導体基板と電気的に接続され、

さらに、(f)前記第1ウエル領域において、第2導電型のウエルの形成領域の一部が露出するような第6マスクを半導体基板の主面上に形成する工程と、(g)前記第1ウエル領域における第2導電型のウエルの導電型が打ち消され前記第1ウエル領域に第1導電型のウエルを形成するために、前記第6マスクを不純物導入マスクとして不純物を前記第1ウエル領域に導入する工程とを含み、前記第1ウエル領域において、第1導電型のウエルと第2導電型のウエルとを形成し、第2導電型のウエルが第1導電型のウエル、前記第3ウエル領域に形成された第1導電型のウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれ半導体基板から電気的に分離されることを特徴とする半導体集積回路装置の製造方法、

【請求項32】 請求項31記載の半導体集積回路装置の製造方法において、前記第1ウエル領域における第1導電型のウエルと第2導電型のウエルとの間に設けられた素子分離領域が、他の領域の素子分離領域よりも幅が狭いことを特徴とする半導体集積回路装置の製造方法、

【請求項33】 請求項31記載の半導体集積回路装置の製造方法において、前記第1ウエル領域における第1導電型のウエルおよび第2導電型のウエルにMISトランジスタを形成することを特徴とする半導体集積回路装置の製造方法、

【請求項34】 半導体集積回路装置の製造方法であって、(a)第1半導体領域および第1半導体領域から離間する位置に形成される第2半導体領域が露出する第1マスクを半導体基板の主面上にパターン形成する工程

(64)

特開平11-261021

と、(b)前記第1半導体領域および第2半導体領域において、前記半導体基板の深い位置に第1導電型の埋め込み半導体領域を形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)前記第1半導体領域および第2半導体領域において、前記第1導電型の埋め込み半導体領域の上に第2導電型の浅い半導体領域を形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(d)前記第1半導体領域の第1導電型の埋め込み半導体領域と第2導電型の浅い半導体領域との外周を取り囲む第3半導体領域および前記第1半導体領域から離間する位置に形成される第4半導体領域が露出し、かつ、前記第1マスクより薄い第2マスクを前記半導体基板の主面上にパターン形成する工程と、

(e)前記第3半導体領域において、前記第1半導体領域の第2導電型の浅い半導体領域の外周を取り囲み、第1半導体領域の第1導電型の埋め込みウエルよりも浅く、かつ、埋め込み半導体領域と電気的に接続される第1導電型の浅い半導体領域を形成し、かつ、前記第4半導体領域において第1半導体領域の第1導電型の埋め込みウエルよりも浅い第1導電型の浅い半導体領域を形成するために、前記第2マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを含み、前記第1半導体領域においては、その第1半導体領域における第2導電型の浅い半導体領域が前記第3半導体領域に形成された第1導電型の浅い半導体領域および第1半導体領域における第1導電型の埋め込み半導体領域に取り囲まれ半導体基板から電気的に分離され、前記第2半導体領域において、前記第2導電型の浅い半導体領域が前記半導体基板と電気的に接続されることを特徴とする半導体集積回路装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】本発明は、半導体集積回路装置の製造方法であって、(a)第1ウエル領域および第1ウエル領域から離間する位置に形成される第2ウエル領域が露出する第1マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第1ウエル領域および第2ウエル領域において、前記半導体基板の深い位置に第1導電型の埋め込みウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)前記第1ウエル領域および第2ウエル領域において、前記第1導電型の埋め込みウエル上に第2導電型の浅いウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(d)前記第1ウエル領域の第1導電型の埋め込みウエルと第2導電型の浅いウエルとの外周を取り囲

む第3ウエル領域および前記第1ウエル領域から離間する位置に形成される第4ウエル領域が露出し、かつ、前記第1マスクより薄い第2マスクを前記半導体基板の主面上にパターン形成する工程と、(e)前記第3ウエル領域において、前記第1ウエル領域の第2導電型の浅いウエルの外周を取り囲み、第1ウエル領域の第1導電型の埋め込みウエルよりも浅く、かつ、埋め込みウエルと電気的に接続される第1導電型の浅いウエルを形成し、かつ、前記第4ウエル領域において第1ウエル領域の第1導電型の埋め込みウエルよりも浅い第1導電型の浅いウエルを形成するために、前記第2マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを含み、

前記第1ウエル領域において、その第1ウエル領域における第2導電型の浅いウエルが前記第3ウエル領域に形成された第1導電型の浅いウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれ半導体基板から電気的に分離され、前記第2ウエル領域において、前記第2導電型の浅いウエルが前記半導体基板と電気的に接続されるものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】本発明は、半導体集積回路装置の製造方法であって、(a)第1ウエル領域および第1ウエル領域から離間する位置に形成される第2ウエル領域が露出する第1マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第1ウエル領域および第2ウエル領域において、前記半導体基板の深い位置に第1導電型の埋め込みウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)前記第1ウエル領域および第2ウエル領域において、前記第1導電型の埋め込みウエル上に第2導電型の浅いウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(d)前記第1ウエル領域の第1導電型の埋め込みウエルと第2導電型の浅いウエルとの外周を取り囲む第3ウエル領域および前記第1ウエル領域から離間する位置に形成される第4ウエル領域が露出する第2マスクを前記半導体基板の主面上にパターン形成する工程と、(e)前記第3ウエル領域において、前記第1ウエル領域の第2導電型の浅いウエルの外周を取り囲み、かつ、第1ウエル領域の第1導電型の埋め込みウエルと電気的に接続される第1導電型の浅いウエルを形成し、かつ、前記第4ウエル領域において第1導電型の浅いウエルを形成するために、前記第2マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを含み、

(65)

特開平11-261021

前記第1ウエル領域において、その第1ウエル領域における第2導電型の浅いウエルが前記第3ウエル領域に形成された第1導電型の浅いウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれ半導体基板から電気的に分離され、

前記第2ウエル領域において、前記第2導電型の浅いウエルが前記半導体基板と電気的に接続され、

さらに、(f)前記第1ウエル領域において、第2導電型の浅いウエルの形成領域の一部が露出するような第6マスクを半導体基板の主面上に形成する工程と、(g)前記第1ウエル領域における第2導電型の浅いウエルの導電型が打ち消され前記第1ウエル領域に第1導電型の浅いウエルを形成するために、前記第6マスクを不純物導入マスクとして不純物を前記第1ウエル領域に導入する工程とを含む、

前記第1ウエル領域において、第1導電型の浅いウエルと第2導電型の浅いウエルとを形成し、その第2導電型の浅いウエルがその第1導電型の浅いウエル、前記第3ウエル領域に形成された第1導電型の浅いウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれ半導体基板から電気的に分離されるものである、

【手続修正4】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】本発明は、半導体集積回路装置の製造方法であって、(a)第1ウエル領域および第1ウエル領域から離間する位置に形成される第2ウエル領域が露出する第1マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第1ウエル領域および第2ウエル領域において、前記半導体基板の深い位置に第1導電型の埋め込みウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)前記第1ウエル領域および第2ウエル領域において、前記第1導電型の埋め込みウエル上に第2導電型の浅いウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(d)前記第1ウエル領域の第1導電型の埋め込みウエルと第2導電型の浅いウエルとの外周を取り囲む第3ウエル領域および前記第1ウエル領域から離間する位置に形成される第4ウエル領域が露出し、かつ、前記第1マスクより薄い第2マスクを前記半導体基板の主面上にパターン形成する工程と、(e)前記第3ウエル領域において、前記第1ウエル領域の第2導電型の浅いウエルの外周を取り囲み、第1ウエル領域の第1導電型の埋め込みウエルよりも浅く、かつ、埋め込みウエルと電気的に接続される第1導電型の浅いウエルを形成し、かつ、前記第4ウエル領域において第1ウエル領域の第1

導電型の埋め込みウエルよりも浅い第1導電型の浅いウエルを形成するために、前記第2マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、

(f)前記半導体基板に高耐圧のMISトランジスタを形成する場合には、その高耐圧のMISトランジスタが形成される高耐圧用の浅いウエル以外の浅いウエルに、不純物濃度を高くするために不純物を追加導入する工程とを含む、

前記第1ウエル領域において、その第1ウエル領域における第2導電型の浅いウエルが前記第3ウエル領域に形成された第1導電型の浅いウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれ半導体基板から電気的に分離され、

前記第2ウエル領域において、前記第2導電型の浅いウエルが前記半導体基板と電気的に接続されるものである、

【手続修正5】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】本発明は、半導体集積回路装置の製造方法であって、(a)第1ウエル領域および第1ウエル領域から離間する位置に形成される第2ウエル領域が露出する第1マスクを半導体基板の主面上にパターン形成する工程と、(b)前記第1ウエル領域および第2ウエル領域において、前記半導体基板内に第1導電型の埋め込みウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(c)前記第1ウエル領域および第2ウエル領域において、前記第1導電型の埋め込みウエル上に第2導電型のウエルを形成するために、前記第1マスクを不純物導入マスクとして不純物を半導体基板に導入する工程と、(d)前記第1ウエル領域の第1導電型の埋め込みウエルと第2導電型のウエルとの外周を取り囲む第3ウエル領域が露出し、かつ、前記第1マスクより薄い第2マスクを前記半導体基板の主面上にパターン形成する工程と、(e)前記第3ウエル領域において、前記第1ウエル領域の第2導電型のウエルの外周を取り囲み、第1ウエル領域の第1導電型の埋め込みウエルよりも浅く、かつ、埋め込みウエルと電気的に接続される第1導電型のウエルを形成するために、前記第2マスクを不純物導入マスクとして不純物を半導体基板に導入する工程とを含む、

前記第1ウエル領域において、第1ウエル領域における第2導電型のウエルが前記第3ウエル領域に形成された第1導電型のウエルおよび第1ウエル領域における第1導電型の埋め込みウエルに取り囲まれて半導体基板から電気的に分離され、

前記第2ウエル領域においては、前記第2導電型のウエ

(66)

特開平11-261021

ルが前記半導体基板と電気的に接続されるものである。

【手続修正6】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正内容】

*【0052】第4ウェル領域には浅いnウェル（第1導電型の浅いウェル）5bが形成されている。この浅いnウェル5bの不純物と、上記したウェル分離領域の浅いnウェル5aの不純物とは、同じマスクをイオン打ち込みマスクとして用いたイオン打ち込みにより同時に半導体基板1に導入される。

フロントページの続き

(51)Int.Cl.[°]

識別記号

F I

H 0 1 L 27/115

H 0 1 L 27/10

6 8 1 F

27/108

29/78

3 7 1

21/8242

21/8247

29/788

29/792

(72)発明者 池田 修二

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 橋本 幸司

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内